

以 GaN 与 SiC 技术

重构下一代 800 VDC 数据中心电力基础架构

人工智能（AI）正驱动数据中心需求增长

随着云端大规模人工智能（AI）的迅速发展及部署，包括 OpenAI 开发的 ChatGPT 在内，越来越多高性能的、为特定目标设计的 AI 处理器正被集成至数据中心服务器中。人工智能技术涵盖机器学习（ML）、深度学习（DL）及生成式 AI，其核心目标是模拟人类的任务执行方式、行为模式与智能思维。这一技术范式的演进，正在深刻重塑汽车、制造、医疗等关键行业的业务流程与运营模式。

为应对算力与数据需求的激增，全球数据中心的部署规模在过去十年间已增长一倍，达到约 7,000 座。预计到 2026 年，全球数据中心的电力消耗将升至 1,000 太瓦时（TWh），是 2022 年（460 TWh）的两倍多。而到 2030 年，美国境内的能耗水平预计将达到这一规模。值得注意的是，数据中心的扩张趋势并不限于美国：瑞典的数据中心用电量预计将在 2030 年翻倍，并在 2040 年再次翻倍；英国也呈现类似态势，预计在未来十年内增长约五倍。总体而言，到 2030 年，数据中心的用电量预计将占全球总电力消耗的约 8%，其中主要增长动力来源于人工智能的持续扩展与计算需求的指数级提升。

下一代运用 800 VDC 架构的 AI 工厂

当前的数据中心架构普遍采用传统的 54 V 机架内配电系统，其功率仅限于数百千瓦（kW）。为了将低压大电流从机架式电源传输到计算托盘，需要使用体积庞大的铜母线。当功率超过 200 kW 时，由于功率密度、铜材需求以及系统效率降低等因素，这一架构将面临物理限制。

随着“AI 工厂”的出现，这类专为大规模同步 AI 和高性能计算（HPC）工作负载设计的数据中心，对电力架构提出了一系列新的挑战。传统企业级和传统云数据中心已无法满足当前加速计算平台所需的多兆瓦机架功率密度。面对这些挑战，数据中心电力架构需要进行根本性的变革。

未来的下一代 AI 工厂将需要以吉瓦（GW）级电力来满足迅速增长的 AI 计算需求。由于采用了 800 VDC（直流）高电压架构，铜线的厚度得以减少高达 45%，这是因为相同功率下，高压架构的电流低，

因此电阻上的功率损耗显著降低 (I^2R)。若使用传统的 54 VDC 系统，为一台 1 MW 机架供电就需要超过 200 公斤的铜材，这对于未来功率需求达到数吉瓦级的 AI 数据中心来说是不符合可持续发展要求的。

800 V 直流电可直接为 IT 机架供电（无需额外的 AC-DC 转换器），并通过后续 DC-DC 转换器降低至以驱动 GPU 的电压。除此之外，这种新架构还可使端到端电能效率提高约 5%，将维护成本降低 70%（因电源模块故障更少），并通过将高压直流电直连至 IT 与计算机机架来降低冷却成本。

NVIDIA 目前处于下一代数据中心电力架构的前沿，率先采用 800 VDC 作为高密度 AI 计算基础设施的新标杆。

800 VDC 电力分配的优势：

- 通过减少电阻损耗与铜材使用量，实现更高的能效；
- 可扩展的基础架构，以高度紧凑的方案输出兆瓦（MW）级机架功率；
- 与 IEC 低压直流（LVDC， $\leq 1,500$ VDC）分类标准保持全球一致；
- 简化的电力分配设计，具备高效的热管理能力。

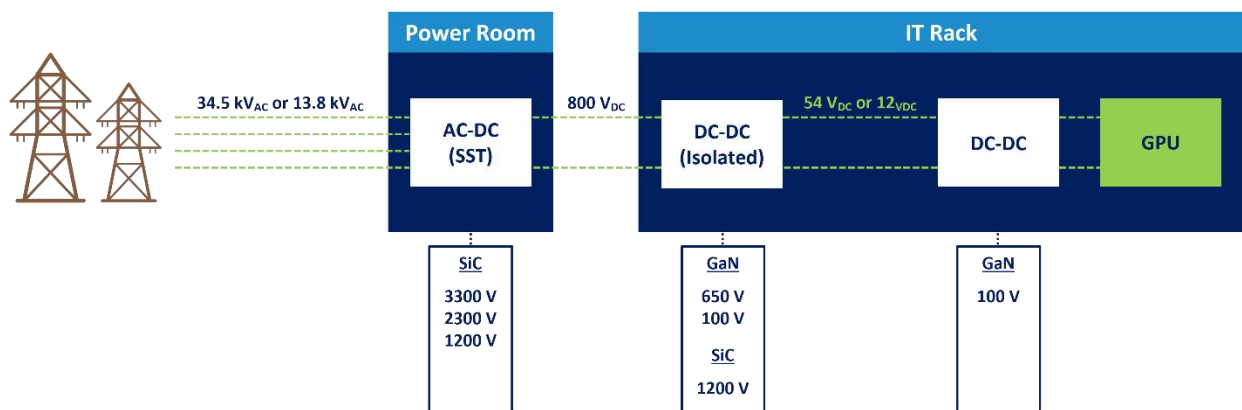


图 1: 从电网端到 GPU，纳微先进的 GaN 和 SiC 技术为 AI 数据中心功率转换的每一级提供支持

宽禁带（WBG）功率半导体是实现 800 VDC 架构的关键

硅（Silicon）器件在功率电子领域占据主导地位多年，但在越来越多现有与新兴的行业应用中，其性能正逐渐逼近极限。宽禁带半导体材料，如 GaN（氮化镓）和 SiC（碳化硅），能够承受更高的电场，从而具备更高的耐压能力，且单位面积电阻更低，以上对于实现更高功率密度与能效至关重要。

此外，宽禁带器件还能在更高的开关频率下工作，这不仅提升了系统性能，还能减少对滤波的需求，从而使用更小的外部元件（原理是：开关速度越快，能量传输的单元越小，因此电路中无源元件与电感元件所需存储的能量也越少）。

与传统硅器件相比，这些特性带来了诸多优势：电力电子系统体积更小、速度更快、效率更高、可靠性更强。更高的耐压能力为高功率设计开辟了新机会，而显著提升的能效可在更紧凑尺寸下实现同等性能，或在相同尺寸中实现更强性能。

然而，在提高功率密度的过程中仍存在多项挑战：高密度电源系统对热管理（尤其是散热）的要求更高，从而增加了成本与能耗。随着功率密度的提升，转换效率同步提高，相应地对散热的需求也减少。这种提升可通过提高开关频率实现¹，但关键在于硅材料的性能已到达物理极限²。

在高功率密度 CRPS 服务器电源应用中，用 GaN 和 SiC 器件取代硅基 MOSFET 与 IGBT，可显著提升开关频率，实现更高效的功率转换。

纳微半导体与 NVIDIA 正合作研发新一代清洁能源宽禁带功率半导体，包括中高压 GaN 与 SiC 器件，以帮助实现 800 VDC 电力架构，服务于下一代 AI 工厂计算平台，确保系统实现更高的功率密度、效率、可靠性与可扩展性。

配电机房：从 34.5 kV 或 13.8 kV MVAC（中压交流）电网到 800 VDC 的转换——超高压 SiC 引领变革

传统数据中心的电力分配架构通常需要多级功率转换，其中包括使用体积庞大且损耗较高的工频变压器（LFT），用于将 34.5 kV 或 13.8 kV 的三相中压交流电压降至 480 VAC 三相电。此 480 VAC 三相电再经过多级功率转换，最终生成所需的直流电压（如 54 VDC）。

这种方式效率低下，且系统复杂度高。若通过采用基于高压（HV）SiC 功率半导体器件的固态变压器（SST），可将 34.5 kV 或 13.8 kV 的三相交流电直接转换为 800 VDC，从而消除大多数中间转换环节。这种简化架构有效减少了多级 AC/DC 和 DC/DC 转换过程中常见的能量损失。

单级 AC/DC 转换使电能传输路径更直接高效，降低了系统的电气复杂性和维护成本。SST 技术还提供更优的电压稳定性与故障管理能力，确保关键基础设施的持续稳定供电。

此外，与传统方式相比，该方案显著减少了带风扇的电源（PSU）数量，因而提升了系统可靠性、降低了散热负荷，并改善了整体能效，使直流（VDC）配电成为 AI 数据中心更高效的解决方案。

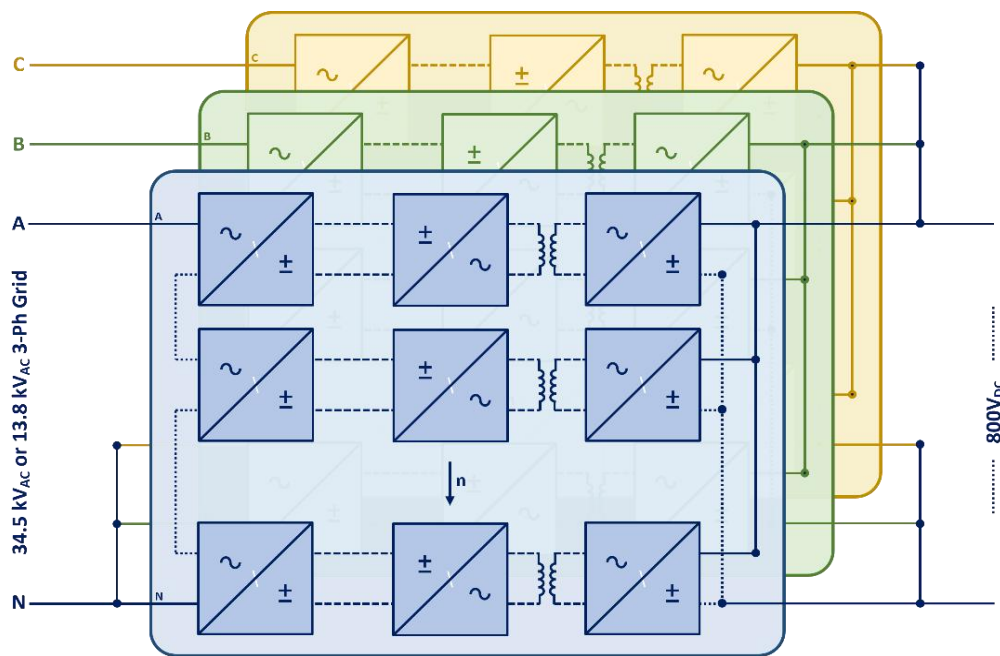


图 2：34.5 kV 或 13.8 kV 中压交流（MVAC）到 800 VDC 转换的典型固态变压器（SST）架构

凭借超过 20 年的 SiC 创新领先经验，纳微旗下的 GeneSiC™ 沟槽辅助平面栅型 MOSFET 和 Schottky MPS™ 二极管一直处于 SiC（碳化硅）技术的前沿。

其中，GeneSiC™ 高压 SiC 技术已参与超过 20 项的政府资助项目，不断突破性能、耐用性与可靠性的极限。其中包括：

- 获美国能源部（DoE）资助，开发了适用于并网电力转换器的 3300 V 和 6500 V SiC MOSFET 以及单片集成的 SiC JBS-FET；

- 获得政府项目资金，研发用于脉冲功率应用的 15 kV SiC MOSFET；
- 获得 NASA 资助，开发能在 500°C 高温下运行、适用于太空探索任务的 SiC 超结晶体管。

GeneSiC™ 自主研发的沟槽辅助平面栅型 SiC MOSFET，是新一代高效、可靠固态变压器（SST）设计的关键推动力。图 2 展示了典型 SST 系统架构，其基于输入串联、输出并联（ISOP）的模块化设计方法，能够实现电压与功率的可扩展性。3300 V 与 2300 V SiC MOSFET 分立器件及功率模块解决方案，使电网输入端（34.5 kV 或 13.8 kV MVAC）功率变流器堆叠的设计更加简化。

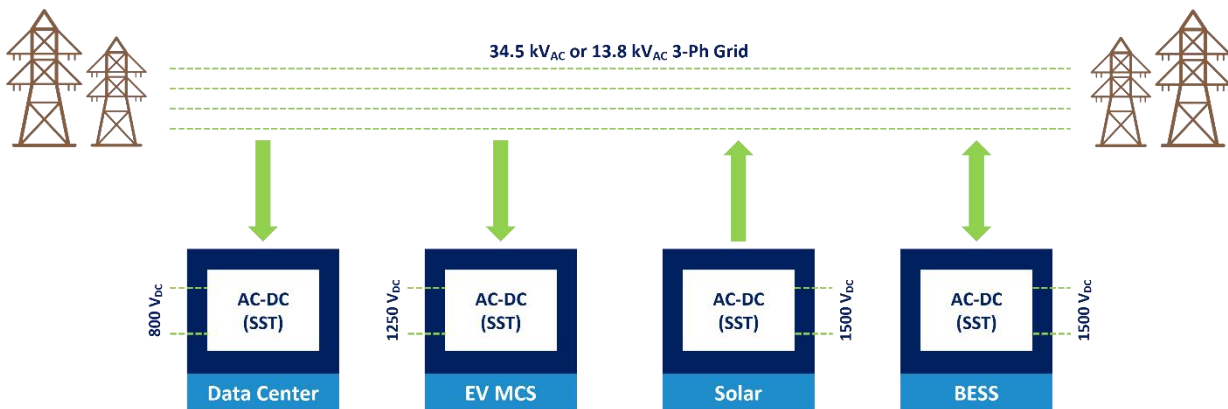


图 3：由 AI 数据中心推动的固态变压器（SST）技术，将推动电网基础设施现代化，覆盖电池储能系统（BESS）、电动汽车兆瓦级充电系统（MCS）及可再生能源等领域。

GeneSiC™ 沟槽辅助平面栅型 SiC MOSFET 技术

纳微在其 GeneSiC™ SiC MOSFET 产品系列中采用了自主研发的沟槽辅助平面技术（Trench-Assisted Planar Technology）。这一先进设计旨在实现一种“无妥协”的解决方案，在性能、可制性与可靠性之间取得理想平衡，这是传统平面栅或沟槽栅 SiC MOSFET 设计常常难以同时兼顾的。

尽管沟槽栅 SiC MOSFET 在理论上可实现更低的比导通电阻（ $R_{ON,SP}$ ），但其在可靠性与鲁棒性方面存在折衷，且制造工艺步骤比平面栅 SiC MOSFET 多约 40%，导致成本上升、良率下降。

纳微受专利保护的沟槽辅助平面栅设计是一项真正的“无妥协”方案，具备高良率制造、低温升高速运行、寿命长、可靠性高的特点。它在高温下可以实现最低 $R_{DS,ON}$ ，在高频条件下实现最低能量损耗，从而达到前所未有的性能、耐久性与品质水准。

沟槽辅助平面技术具备更优秀的电流扩散能力，这得益于沟槽辅助结构所形成的多阶（multi-step）轮廓，如图 4 所示。该设计经过优化，即使在高温下也能保持更低的 $R_{DS,ON}$ —— 这是一项显著优势，因为在传统 SiC MOSFET 中， $R_{DS,ON}$ 通常会随温升显著增加。

通过在整个工作温度范围内维持较低的 $R_{DS,ON}$ ，导通损耗被有效降低，从而实现更低的工作温度与更高的系统效率。这一性能提升部分归功于沟槽辅助技术中多层阶梯式结构所带来的电流扩散优化。

[相关的白皮书](#)对沟槽辅助平面技术进行了深入的阐述，并将其与传统平面型和先进沟槽型 SiC MOSFET 技术进行了对比。如图 5 所示，沟槽辅助平面技术在温度变化下表现出业内最低的 $R_{DS,ON}$ 漂移——与其他平面型及先进沟槽型 SiC MOSFET 技术相比，在高温条件下可实现多达 20% 的 $R_{DS,ON}$ 降低。

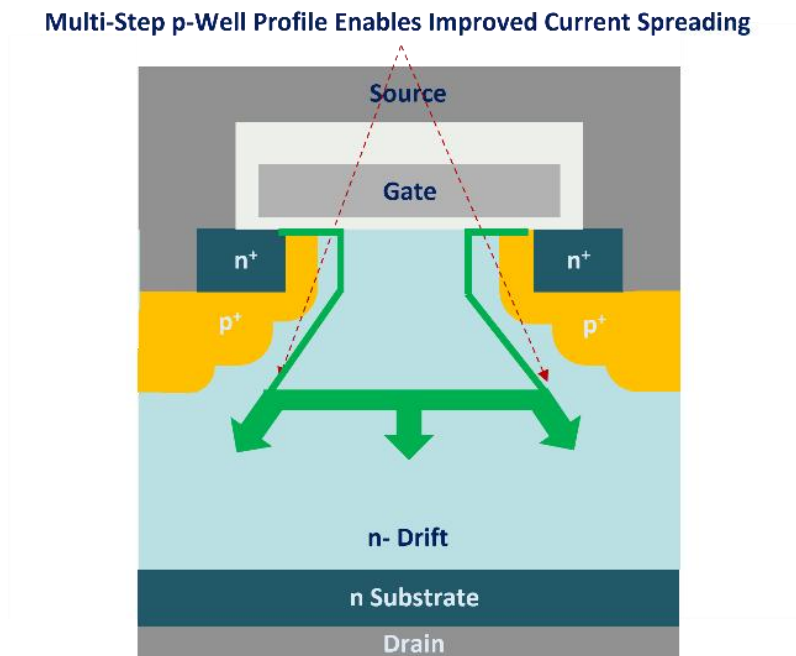


图 4：由专有沟槽辅助特性实现的多阶轮廓，为 SiC MOSFET 元胞提供更优异的电流扩散性能

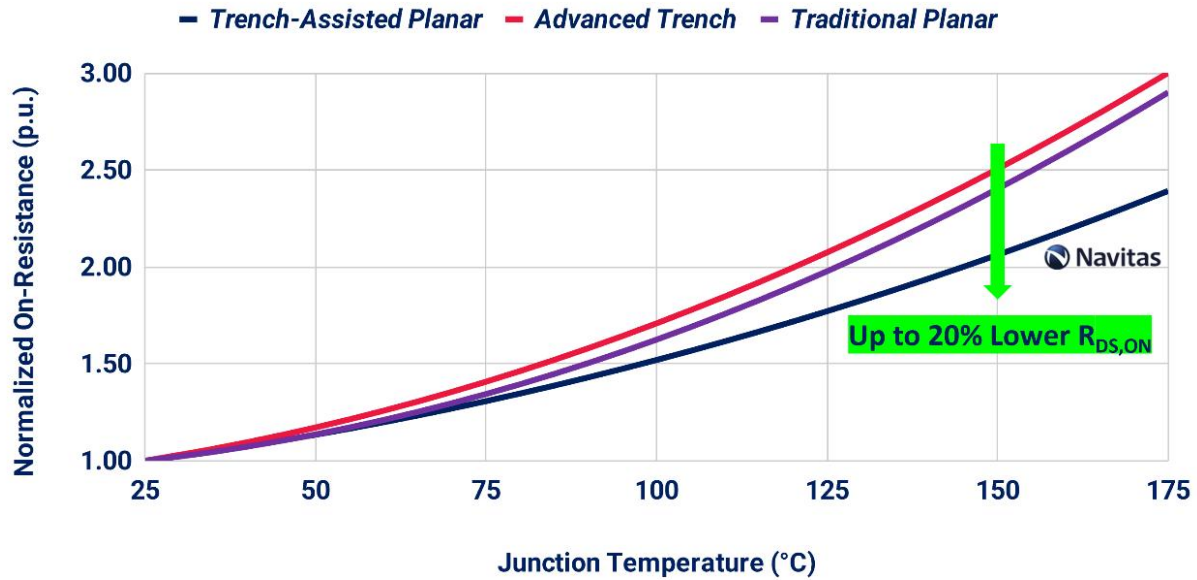


图 5：市售 2300 V 与 2000 V SiC MOSFET 技术的性能对比表明，GeneSiC™沟槽辅助平面栅技术在较高工作温度下，导通电阻 ($R_{DS,ON}$) 可更低至 20%

对于像固态变压器（SST）这类需要为关键基础设施提供长达 20 年以上持续供电的应用而言，系统失效是绝不可接受的。这就要求 SiC MOSFET 技术必须确保在整个系统生命周期内，实现稳定且可靠的运行。

纳微 GeneSiC™ 沟槽辅助平面栅型 SiC MOSFET 产品通过了业内首个“AEC-Plus”级可靠性认证——这是由纳微定义的一项全新、扩展版可靠性测试基准，其严格程度超越现有 JEDEC 与 AEC-Q101 产品认证标准。

这一新基准体现了纳微对系统级寿命需求的深刻理解，以及其在汽车与工业等要求严苛的应用场景中，持续推动高标准设计与验证产品的坚定承诺。

扩展认证中的关键新增测试包括：

- 动态反向偏置（DRB）与动态栅极开关（DGS）可靠性测试；
- 超过 3 倍时长的静态高温高压测试（如 HTRB、HTGB）
- 超过 2 倍时长的功率与温度循环测试
- 200°C 级别认证，以实现更宽松的热设计裕量与过载运行能力。

如图 6 所示，沟槽辅助结构形成的多阶式轮廓使电场在阻断状态下分布更加均匀，从而赋予该技术实现 “AEC-Plus” 级高可靠性的能力。

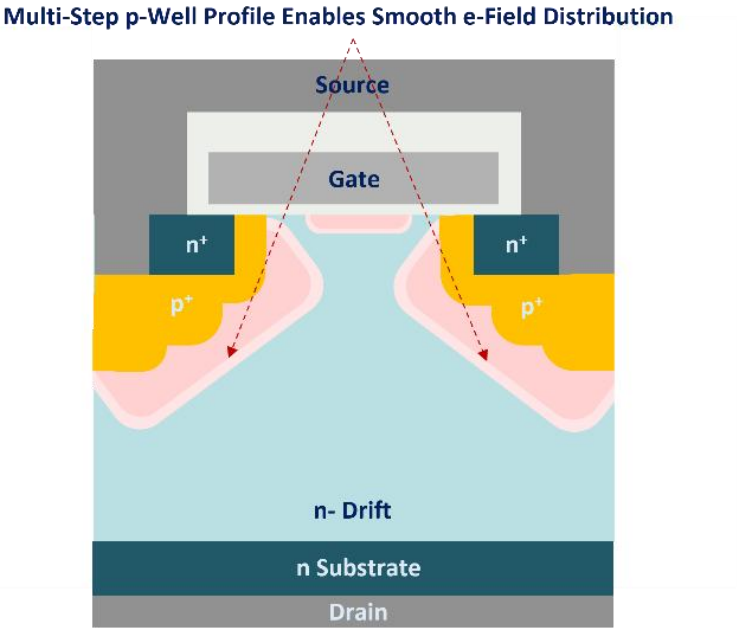


图 6：由专有沟槽辅助特性实现的多阶轮廓，在碳化硅 MOSFET 元胞中实现更均匀的电场分布

如表 1 所示，这一严格的 “AEC-Plus” 测试方案包含了先进的开关测试与延长的静态可靠性测试，旨在满足关键任务型应用对长期运行寿命和性能稳定性的严格要求。

‘AEC-Plus’ Qualification Tests	Navitas	Others
Extended Power Cycling	>30k cycles	7.5k to 15k cycles
Dynamic Reverse Bias	1000 hr to 3000 hr	No
Dynamic Gate Stress	>1.8 trillion cycles	Higher VGS,TH Shift
Dynamic HV-H3TRB	1000 hr	No
Extended HTRB	3000 hr	1000 hr

Extended HTGB & HTGB-R	3000 hr	1000 hr
HTRB at 200°C	1000 hr	0 hr at 200°C
HTGB & HTGB-R at 200°C	1000 hr	0 hr at 200°C
HV-H3TRB at 100% VDS	1000 hr	VDS = 80% Only

表 1：纳微设定可靠性标杆——“AEC-Plus”级的测试项目

通过采用沟槽辅助平面栅技术，纳微的 SiC MOSFET 获得了显著优势：其具备与传统平面型技术相当、且优于沟槽型技术的雪崩能力（Avalanche Capability），同时在 RON,SP , QGD× RON , BVDSS2/ RON,SP 等关键指标上较平面型设计有显著提升。

这些技术进步使 纳微的产品在静态与动态电阻方面更低、开关速度更快，并在可靠性与鲁棒性上远超竞争对手。相关白皮书对沟槽辅助平面栅技术与传统平面型及先进沟槽型 SiC MOSFET 技术在可靠性与耐用性方面进行了深入对比分析。

为持久而生：用于 SiC 功率模块的先进环氧树脂灌封技术

凭借先进的环氧树脂灌封工艺，纳微最新的 SiCPaK™ 功率模块专为在高湿度和高温环境中长期稳定运行而设计。该技术可有效防止水分渗入，并通过减少因功率波动与温度变化导致的性能劣化，保持稳定的热性能，从而显著提升模块的可靠性与使用寿命。

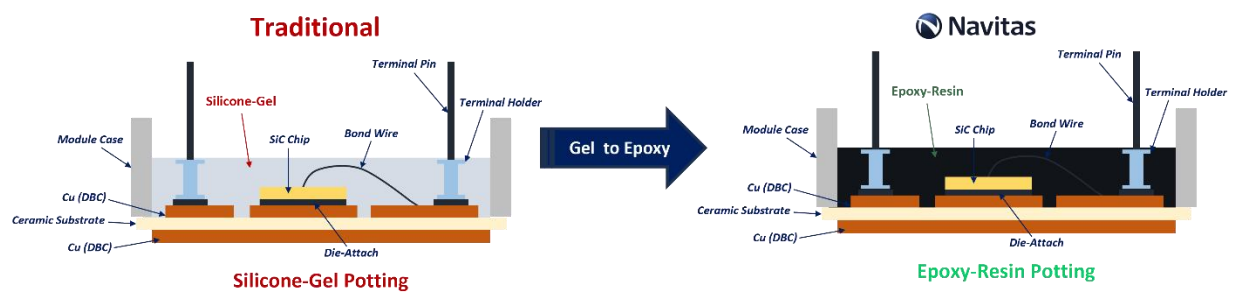


图 7：基于先进环氧树脂灌封技术的高可靠性功率模块

如表 2 所示，纳微的环氧树脂灌封技术使多种电压等级（1200 V、2300 V、3300 V）的 SiC 功率模块具备高耐久性，其寿命较传统方案延长 10 倍以上，可满足关键任务型应用对长期可靠性的严格要求。

Reliability Improvements	Navitas	Others
Temperature Humidity Bias	At module and SiC die level	At die level only
Temperature Cycling	> 1000 cycles	< 100 cycles
Thermal Shock Test	> 1000 cycles	< 100 cycles

表 2：采用“环氧树脂灌封”技术后的可靠性提升对比

纳微的 SiCPaK™ 功率模块 在经历 1000 次热冲击循环测试（-40 °C 至 +125 °C）后，其热阻变化（增加）比传统硅胶填充模块低 5 倍。

此外，所有硅胶填充模块在 1000 次循环后均未能通过绝缘测试，而纳微旗下 SiCPaK™ 环氧树脂灌封模块仍保持在可接受的绝缘水平，展现出显著优越的长期可靠性与环境耐受性。

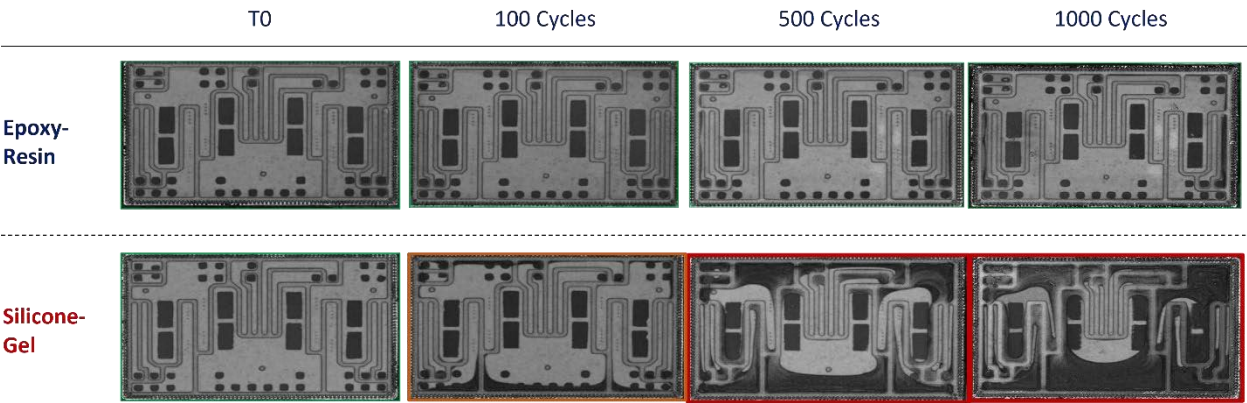


图 8：碳化硅功率模块中环氧树脂灌封技术与传统硅胶基灌封技术的热冲击测试结果对比

迈向下一代 SiC MOSFET 及高达 10 kV 的高压等级技术路线图

纳微受专利保护的 GeneSiC™ 沟槽辅助平面栅技术（Trench-Assisted Planar Technology）代表了高压电力电子领域的一次重大飞跃，为下一代器件提供了坚实、可靠的技术基础。

这种创新架构通过独特的栅极设计，在降低导通电阻的同时最大化器件可靠性，从而突破了传统在性能、可制造性与稳健性之间的权衡。

基于此核心技术，纳微已开发出覆盖广泛电压等级的功率器件产品组合——从 2300 V、3300 V、6500 V 的商用解决方案，到面向 10 kV 超高电压等级 的先进研发项目。

为进一步突破性能边界，尤其是在高压应用中，Navitas 的研发团队正致力于将沟槽辅助平面技术与创新的下一代器件架构相结合，以克服传统设计的物理局限。这种融合方法有望在击穿电压与导通电阻的平衡上实现前所未有的改进，性能指标（FoM）提升可超过 30%，从而在最苛刻的高压应用中实现更卓越的功率密度、更高效率与更强系统可靠性。

纳微 GeneSiC™ SiC MOSFET 产品线

	分立器件		
			
	顶部散热表贴封装	底部散热表贴封装	通孔封装
650 V	9 mΩ - 55 mΩ	20 mΩ - 55 mΩ	9 mΩ - 55 mΩ
750 V	11 mΩ	-	11 mΩ
1200 V	7 mΩ - 135 mΩ	18 mΩ -135 mΩ	7 mΩ - 75 mΩ
1700 V	-	375 mΩ	15 mΩ - 375 mΩ
2300 V	-	-	23 mΩ
3300 V	-	1000 mΩ	45 mΩ

	SiCPaK™ 功率模块		
			
	半桥	全桥	3L-NPC
1200 V	5 mΩ - 17 mΩ	9 mΩ - 18 mΩ	9 mΩ
2300 V	5 mΩ - 11 mΩ	11 mΩ - 23 mΩ	-
3300 V	11 mΩ - 22 mΩ	22 mΩ - 45 mΩ	-

IT 机架：800 VDC 到 54 VDC/ 12 VDC 转换——GaN 可实现最高功率密度

通过采用 800 V 直流电压输入，计算机机架无需再集成 AC/DC 转换级，从而简化了电力架构。这些机架接收 双导线 800 V 供电线路，并在本地进行 DC/DC 转换，为 GPU 系统供电。摆脱笨重的机架级 AC/DC 转换器，此举可释放宝贵空间，从而实现更高的计算密度和更高效的散热管理。

与传统的交流供电系统相比（需额外电源模块），这种精简设计能降低系统复杂性、提升整体性能，并显著提高供电效率。

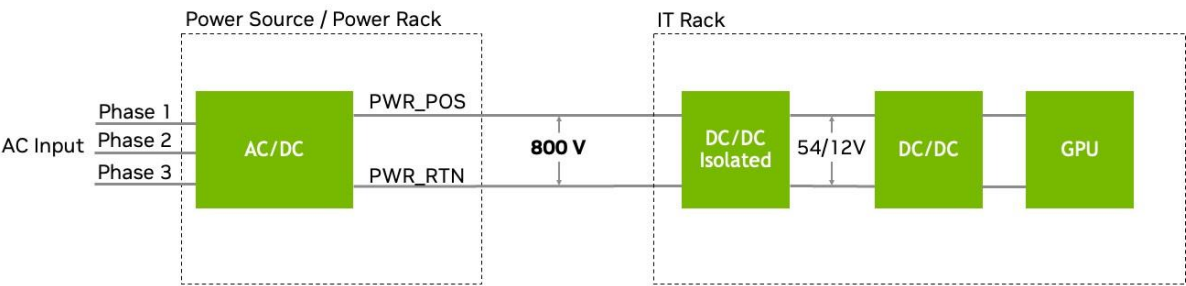


图 9：用于 GPU 供电的 800 VDC 直接到 IT 机架级 DC/DC 转换

纳微 10kW 全砖 DC-DC 参考设计 (800 VDC - 50 VDC)

纳微开发了一款高功率密度 10kW DC-DC 解决方案，可将 800 VDC 转换为 50 VDC，且集成辅助电源与控制电路，尺寸控制在全砖封装范围内（61mm×116mm×12mm）。该方案采用三电平半桥 LLC 谐振拓扑，工作在直流变压器（DCX）模式。原边的三电平拓扑通过在地电位、输入电压的一半与额定输入电压之间交替切换，降低了对器件的电压要求，进而提升系统效率。

该 LLC 变换器采用“两电感 + 一电容”的结构实现谐振功能，并通过软开关技术实现最高效率。这使得平面磁件能够实现最高集成度与最高开关频率。在同步整流级，设计采用 100V GaN FET，以实现最高开关频率的同时，提供低导通损耗路径。同步整流（SR）侧采用两颗 GaN FET 并联设计，以进一步提升系统功率密度。

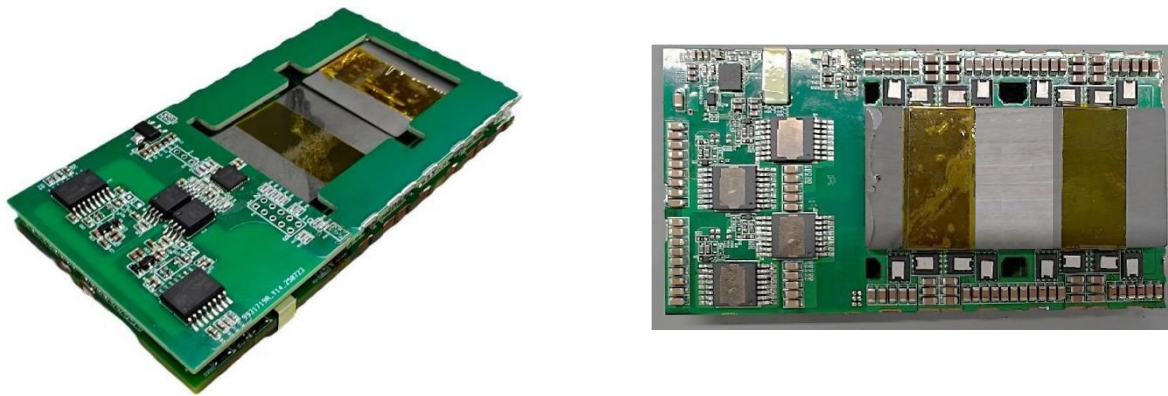


图 10：纳微 10kW、800V-50V DC-DC 全砖解决方案，采用 100V 与 650V GaN，实现 1MHz 开关频率与 98% 系统效率

在 50V 电压下输出 10kW 功率，输出电流会高达 200A。使用 LLC 变压器时，为最小化副边绕组与同步整流侧（SR）的导通损耗，需采用多输出设计。采用 GaN 构建多输出 LLC 变换器，需在最小化变压器绕组损耗、同步整流器的开关与导通损耗，以及电源端接损耗之间实现精细的平衡。虽然提升开关频率有利于实现磁件小型化，但也会导致端接损耗增加。

- Half bridge, 8:1 Matrix transformers
- 4 switches on primary side

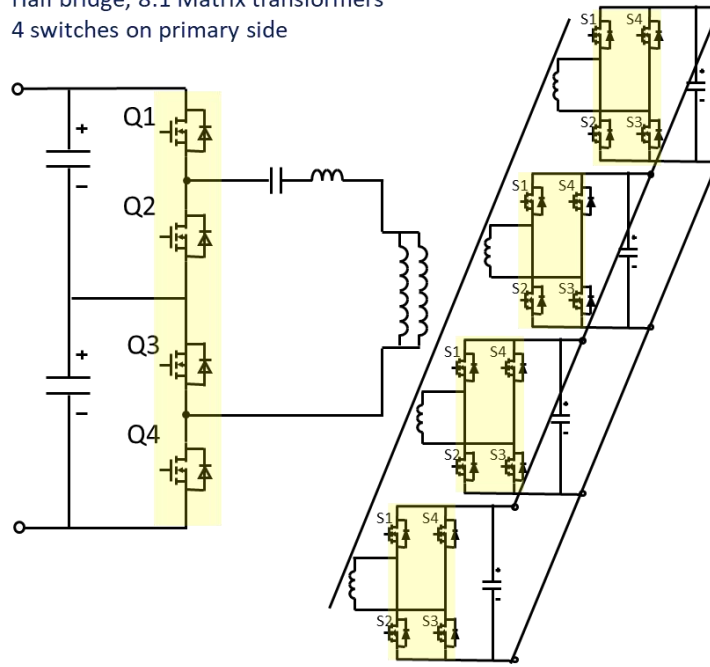


图 11：三电平半桥采用 8:1 矩阵变压器，原边配置 4 颗 650V GaN FET/GaN Safe，副边 / 同步整流（SR）侧配置 16 颗 100V GaN FET

采用多变压器设计可避免端接损耗，尽管会导致占板面积增大。但多变压器设计会引入更大的磁芯损耗，且磁件尺寸也会增加。矩阵变压器可通过确保磁芯间的磁通抵消来缓解这些损耗。该类型变压器将多个独立变压器整合，原边绕组采用串 / 并联连接，副边绕组则采用并 / 串联连接。其中“原边串联 - 副边并联”的拓扑配置，适用于 LLC 降压应用场景。

与高频 GaN 器件结合使用时，平面变压器的优势更为显著：其伏秒积较低，可避免磁芯饱和，进而降低总损耗。

纳微 GaNFast™ 功率芯片与 GaN FET：最大化功率密度与效率

以 GaN 技术取代硅基 MOSFET，可显著提高开关频率，使其更适用于平面变压器结构，同时最大限度降低开关损耗。GaN 晶体管在导通时具有较低的沟道电阻，因此导通损耗更低，且不存在硅 MOSFET 中固有的体二极管（Body Diode），进一步减少了反向恢复损耗。增强型（常关型）GaN FET（或称高电子迁移率晶体管，HEMT）具有相对敏感的栅极。普通 MOSFET 的栅极电压范围通常为 -10 V 至 20 V，阈值电压约为 2 V 至 5 V；而增强型 GaN HEMT 的栅极电压范围为 -10 V 至 7 V，典型阈值电压仅为 1 V 至 2 V。

因此，GaN FET 需要非常精确的栅极控制。在高功率桥式电路中使用分立 GaN FET 时必须格外注意，因为低侧关断时的负向 VGS 峰值可能超过器件额定极限。

此外，栅极回路电感与高 di/dt 共同作用，可能导致高侧与低侧 VGS 振铃，进而引发共通大电流风险。

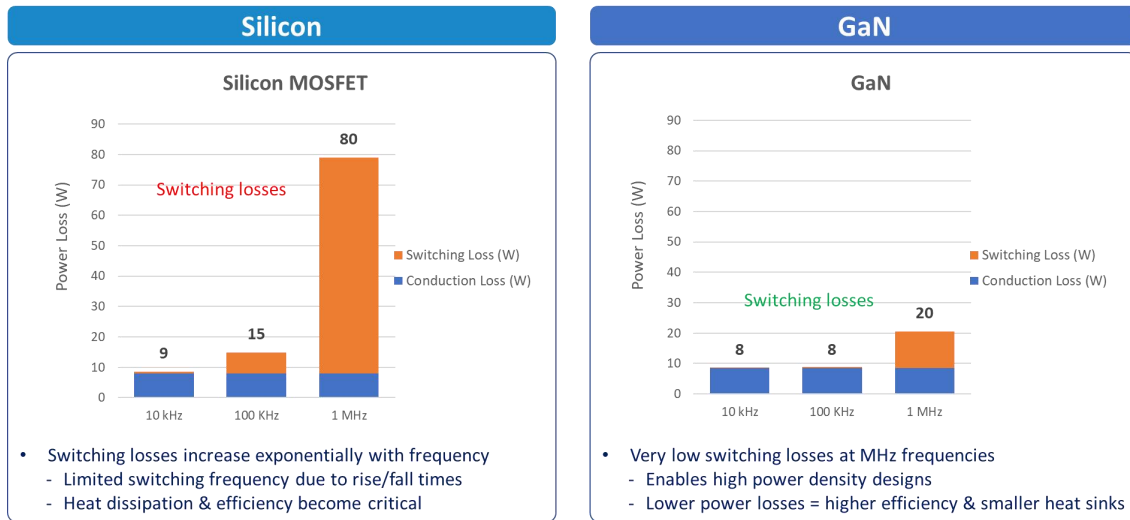


图 12：GaN 实现 MHz 级开关频率，相较于硅（器件），可带来更高的功率密度与效率

将优化后的栅极驱动器与 GaN FET 集成在同一封装内，使设计人员能够精确控制 VGS，从而有效降低潜在风险。

纳微的 GaNSafe 功率芯片将 GaN FET 与优化的栅极驱动电路集成在一起，并结合了用于死区控制的先进算法，以及所需的多重安全保护功能。

这种设计实现了“数字输入，功率输出（digital in, power out）”的系统架构，具备高速开关、高效率与卓越的功率密度表现。GaNSafe 产品旨在满足 AI 数据中心、电动汽车、太阳能以及储能系统 的高性能电力需求。

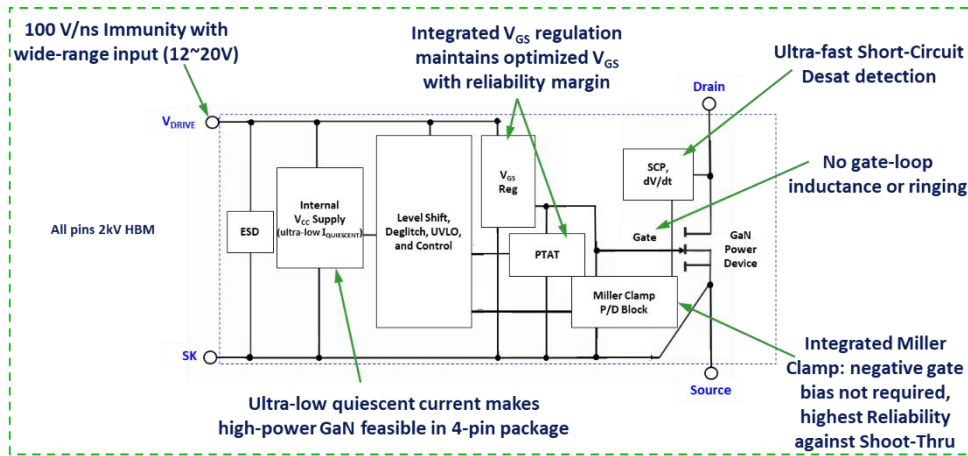


图 13: GaNSafe 将短路保护、负栅极驱动消除及可编程压摆率控制集成于一款简易 4 引脚器件中，使其与分立 GaN FET 一样被使用，且无需额外的 VCC 引脚供电

纳微的高度集成方案（如 GaNSafe）具备零栅源环路电感，可支持高达 2 MHz 的开关频率，从而最大化应用的功率密度。系统内置高速短路保护机制，采用自主“检测-防护”功能，可在 50 ns 内快速响应。此外，器件还内置了静电放电（ESD）防护功能（传统分立式 GaN 晶体管通常不具备此项功能），可抵御高达 2 kV 的静电冲击。

凭借 650 V 连续耐压和 800 V 瞬态耐压能力，GaNSafe 能适应极端苛刻的应用环境。其可编程的导通与关断速度设计，可以轻松满足 EMI（电磁干扰）法规要求。器件具有极低的静态电流（quiescent current），并采用 4 引脚 TOLL 或 TOLT 封装，而传统多芯片模块可能需要多达三倍的引脚数量且散热性能更差。

纳微 650 V GaN 产品组合还包括一系列新型高功率分立式 GaN FET，其 TOLT 封装的最低导通电阻仅 11 mΩ。该系列采用行业标准封装，为需要多渠道供货的客户提供了便利。

此外，纳微推出的 100 V GaN FET 产品组合在效率、功率密度与热性能方面均处于行业领先水平，采用先进的双面散热封装。这些 FET 专为 54 V 输出级同步整流或中间总线转换器（IBC）原边级优化设计，在实现超高功率密度与热管理性能方面，满足下一代 AI 计算平台的严苛需求。

该系列 100 V GaN FET 基于 8 寸硅基 GaN 工艺制造，由纳微战略合作伙伴 PSMC（力积电）生产，可实现规模化、高产能生产。

Family	Part #	V _{DS(ON)} (V)	V _{DS(TRANS)} (V)	R _{DS(ON)typ.} (mΩ)	R _{DS(ON)max.} (mΩ)	Current (A)	Package	ES	QS
 GaNSafe™ Int. Drive + Protection	NV6511	650	800	70	98	22	 TOLL	Released	Released
	NV6512C			40	55	41			
	NV6513			32	45	53			
	NV6515			25	35	65			
	NV6514C			18	25	80			
	NV6522			40	55	41	 TOLT		
	NV6523			32	45	53			
	NV6525			25	35	65			
	NV6524			18	25	80			
Family	Part #	V _{DS(ON)} (V)	R _{DS(ON)typ.} (mΩ)	R _{DS(ON)max.} (mΩ)	Current (A)	Package	ES	QS	
 GaNFast™ FETs Discrete GaN	NV00810	100	0.8	1.0	165	 PQFN5x6 DC	Q4'25	Q1'26	
	NV01110		1.1	1.5	150		Q4'25	Q1'26	
	NV02210		2.2	2.6	100		Q4'25	Q1'26	
	NV6024	650	17	25	80	 TOLT	Q4'25	Q1'26	
	NV6066		11	15	120		Q4'25	TBD	

图 14：纳微 GaN 产品组合概览 —— 针对高性能功率转换的 集成保护 GaNSafe™功率芯片与 GaNFast™分立 FET

结论

人工智能（AI）工作负载的指数级增长正在重塑数据中心格局，对功率密度、效率与可扩展性提出了前所未有的需求。传统基于硅的电力电子与 54 V 架构已无法满足下一代 AI 工厂的兆瓦级功率要求。向电网直达 GPU 的 800 VDC 架构迈进的这一趋势，标志着数据中心电力系统的根本性变革——不仅实现兆瓦级机架功率传输，还能显著降低铜材与冷却成本，并在整体系统效率上取得实质性提升。

纳微的宽禁带功率半导体技术，包括用于 AC 电网至 800 VDC 转换的 GeneSiC™ MOSFET，以及用于高频高功率密度 DC-DC 转换的 GaNFast™ 与 GaNSafe™ 功率器件，覆盖从电网到 GPU 的完整电力传输链。通过融合先进器件物理设计、创新封装技术与可扩展性的可靠性标准，纳微为 AI 工厂提供稳健、高效、可扩展的专属电力解决方案。

纳微正在重新定义数据中心的电力架构，为下一代 AI 基础设施奠定核心基础。凭借紧凑、高效、可靠的 GaN 与 SiC 技术，纳微将全方位助力未来的数据中心，满足全球持续增长的计算需求。

参考来源

<https://navitassemi.com/wp-content/uploads/2024/03/High-Density-Power-for-the-AIRevolution.pdf>

<https://www.eetimes.eu/gan-hemts-boost-electric-motor-applications/>