

具有无损电流检测和自动保护功能的GaN Sense™ 技术的新一代 GaNFast™ Power ICs

Tom Ribarich, Sr. Director Strategic Marketing



介绍

纳微最新一代GaNFast产品采用的是GaN Sense技术，具有用于高功率密度快充和适配器应用的控制、驱动以及检测和保护特性。集成的门级驱动消除了驱动回路的寄生电感并防止门级信号振铃和毛刺。无损电流检测电路的集成可以去除外部电流检测电阻，这样可以提高整机效率和减小PCB空间、消除了电流检测电阻这个发热点。实时过流保护和过温保护能够在发生短路和过载时提供迅速和可靠的保护机制。

此应用手册包含了GaN Sense的新功能，原理图和PCB布局设计指导，电路设计样板和测试波形，以及热管理指导。这些设计指导能够实现效率和功率密度最大化并使系统可靠性和鲁棒性达到最高级别。

概述

NV611x和NV612x GaNFast 系列产品已经被很多高功率密度电源厂商所采用是因为集成了门级驱动、宽范围VCC供电电源、PWM输入、内置ESD保护电路和大片底部散热层。这些关键的特性结合纳微700V氮化镓技术使得高频工作具有易使用、有设计灵活性并可兼容所有主流的拓扑和控制器。为了进一步增强GaNFast产品系列，GaN Sense技术能够提供最先进的无损电流检测氮化镓芯片，以及额外的过流保护和过温保护。自动待机模式能够降低空载和轻载损耗。封装有PQFN6*8和5*6两个版本，芯片管脚信息如下图1 漏极 pin (D)，源极 pin (S)，I/O pins，以及一个源极散热面 (PAD)。I/O pin包括IC供电管脚，PWM输入脚，dv/dt开通斜率控制脚，电流检测输出脚。功率变换器的大部分开关电流都从氮化镓FET的漏极流向源极。从氮化镓IC产生的热会通过源极散热片导向PCB。大块PCB铺铜面和过孔会将热传到PCB的另一侧并/或传到拥有大面积铺铜的PCB内层。散热面与功率地PGND相连，这样可以获得更多的PCB散热面积。

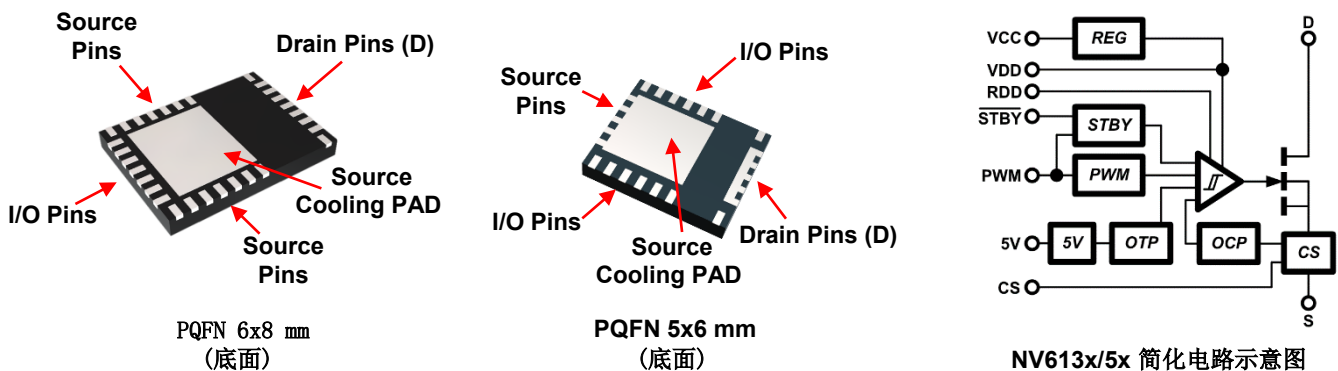


图1. PQFN 6x8 and 5x6 封装和简化电路

管脚定义，外围电路和器件

典型的电路如图2。芯片管脚包括氮化镓的漏极（D），源极（S），供电电源（ V_{CC} ），门级驱动电源（ V_{DD} ），门级驱动开通速率控制输入脚（ R_{DD} ），PWM输入（ PWM ），独立的信号地（ S_{GND} ），电流检测输出（ CS ），自动待机模式输入（ $STBY$ ）和5V电源（5V）。底部源极散热面和源极管脚都要连接到系统的功率地（ P_{GND} ）。 S_{GND} 管脚4必须直接连到源极散热面。每个芯片源极管脚（S）需要在芯片外部分别连到源极散热面。漏极管脚（D）应该在PCB上接到一起（如 Section 9）。芯片周边的元器件包括 V_{CC} 滤波电容（ C_{VCC} ）连到 V_{CC} 脚和 S_{GND} 脚， V_{DD} 滤波电容（ C_{VDD} ）连到 V_{DD} 脚和 S_{GND} 脚，开通 dV/dt 设置电阻（ R_{DD} ）管脚连到 V_{DD} 脚 R_{DD} 脚。电流检测比例设置电阻（ R_{SET} ）连到 CS 脚和 S_{GND} 脚，自动待机模式输入（ $STBY$ ）连到 S_{GND} 。5V脚和 S_{GND} 需要加一个外部电容（ C_{5V} ，最大0.01 μF ）。这个5V脚只是用了芯片内部，不允许用于给外部电路供电。下表（表1）列出了外部器件的推荐选值（典型值）。这些器件建议放得离氮化镓芯片越近越好。

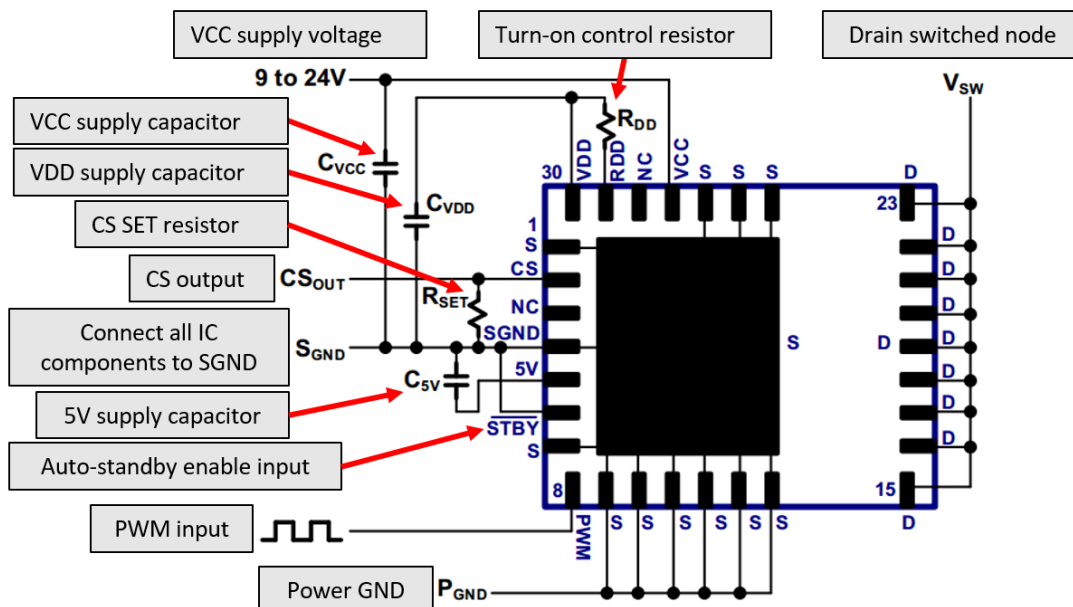


图2. GaN IC connection diagram

SYM	DESCRIPTION	TYP	UNITS
C_{VCC}	V_{CC} supply capacitor	0.1	μF
C_{VDD}	V_{DD} supply capacitor	0.010	μF
R_{DD}	Gate drive turn-on current set resistor	50	Ω
R_{SET}	Current sense amplitude set resistor	Depends on system design (See Eq. 1, Page 4)	Ω
C_{5V}	5V supply capacitor	0.01	μF

表1. Recommended component values (typical only)

无损电流检测

在很多应用当中，有必要对流过氮化镓芯片的电流做逐周期检测。现有的电流检测方法包括在氮化镓源极和功率地之间放置电流检测电阻。用外部电流检测电阻会增加系统功耗，增加热点，以及降低整机效率。为了消除该外部电流检测电阻和热点，增加系统效率，该氮化镓芯片集成了精确可调节的无损电流检测技术。该检测技术可以采样到流过氮化镓芯片的电流 I_{DS} （如图4）并可按比例放大、修整（Trim）然后在CS管脚转化为电流。一个外置电阻 R_{SET} 从CS脚连到 S_{GND} ，用于设置CS脚电压信号的幅值。这就允许CS脚的信号可以被配置成不同值来配合不同的控制器和不同的电流采样输入阈值。

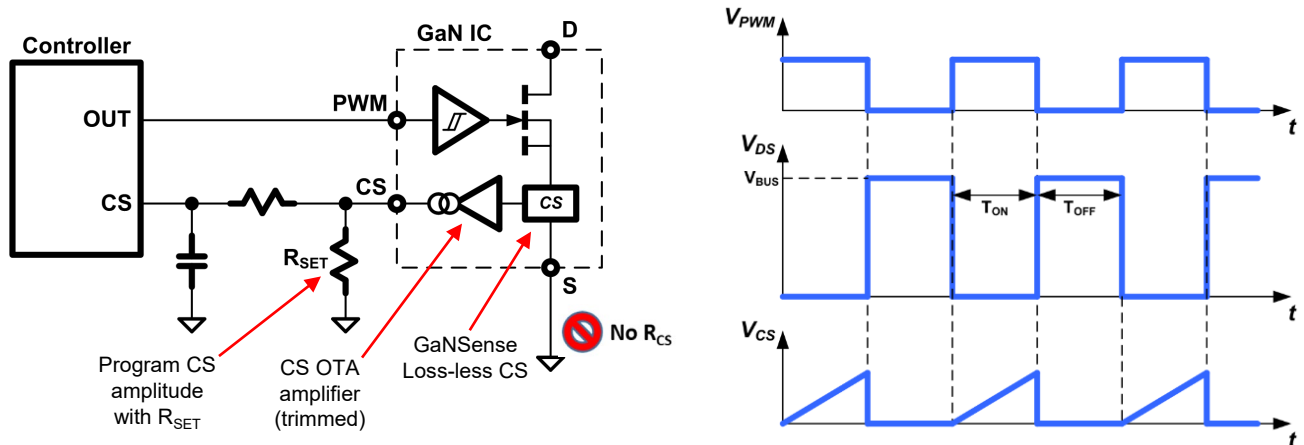


Fig 4. 无损电流采样电路和时序图

内部电流采样电路的精度取决于量产终测时CS脚输出电流的修整（Trim）结果。修整（Trim）量产数据（图5）显示了很紧密的分布（ $\pm 1.4\%$ ， $\pm 3\sigma$ ，7万颗芯片）并突显了内部检测额运放电流的高精度。CS脚电流VS温度的图表表明内部电流呈现正常的正温度系数，从 -40° 到 125° 的温度范围内精度为 $\pm 4\%$

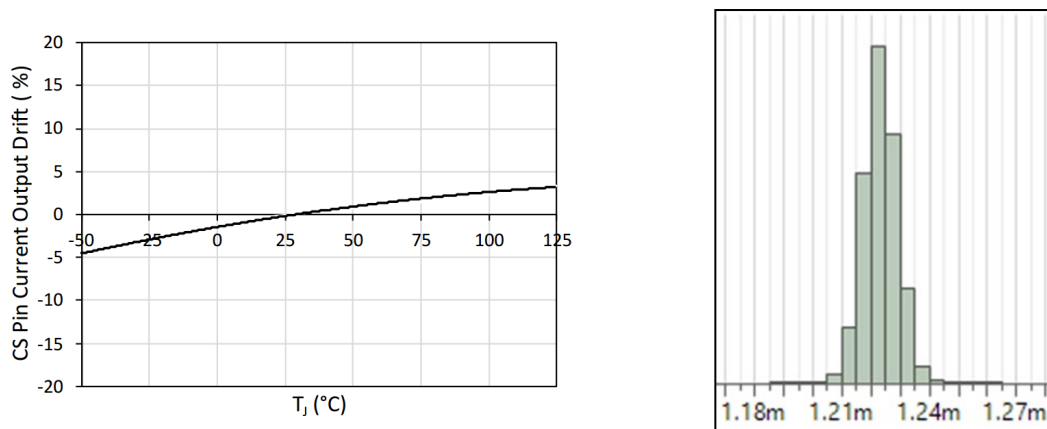


Fig 5. CS pin current vs Tcase and post-trim production data (NV6136A)

无损电流检测（续）

将GaNSense技术和现有的外部电阻检测方式（图6）做对比，总的导通阻抗 $R_{ON}(TOT)$ 可以大幅减小。以65W高频QR反激电路为例， $R_{ON}(TOT)$ 从 $340m\Omega$ 减小至 $170m\Omega$ 。仅因省去外部电阻而节省的功耗就能为整机带来0.5%的提高。

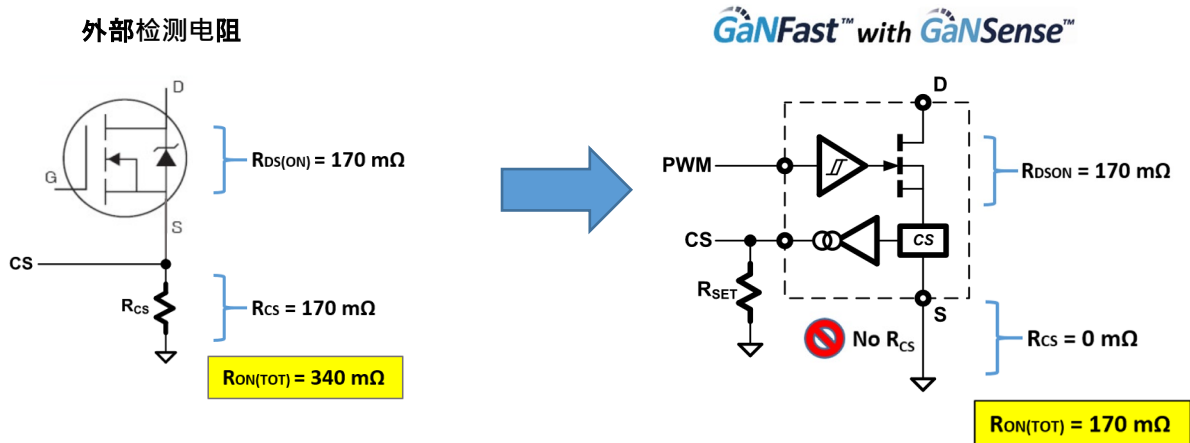


图 6. 外部检测电阻 vs. GaNSense技术

下面的公式1可以用于选择正确的 R_{SET} 阻值。这个公式使用了等效的外部电流检测电阻阻值(R_{CS})和内部检测电路增益来生成等效的电阻 R_{SET} 阻值。这个 R_{SET} 会给出CS脚正确电压范围来匹配内部系统控制器的电流检测阈值。

$$I_{OUT} \text{ Ratio} = \frac{I_{DS}}{I_{CS}} = \frac{4.4A}{0.00125A} = 3520$$

$$R_{SET} = 3520 * R_{CS}$$

$$3520 * 170m\Omega = 598.4\Omega$$

Equation 1. 计算 R_{SET} 阻值的公式 (NV6136A)

无损电流检测（续）

图7的开关波形显示了CS脚的输出电压和实际的 I_{DS} 电流之间的对照关系。图7a显示的是65W高频QR在ZVC/ZCS条件下CS脚跟踪电流信号的波形，图7b显示的是boost电路CCM模式下CS脚电压波形。两个开关条件都显示了该检测技术的实时跟踪性能。为了显示跟踪的精确度，所有波形中CS脚显示的电压范围都是基于RCS增益的计算来匹配电流范围。

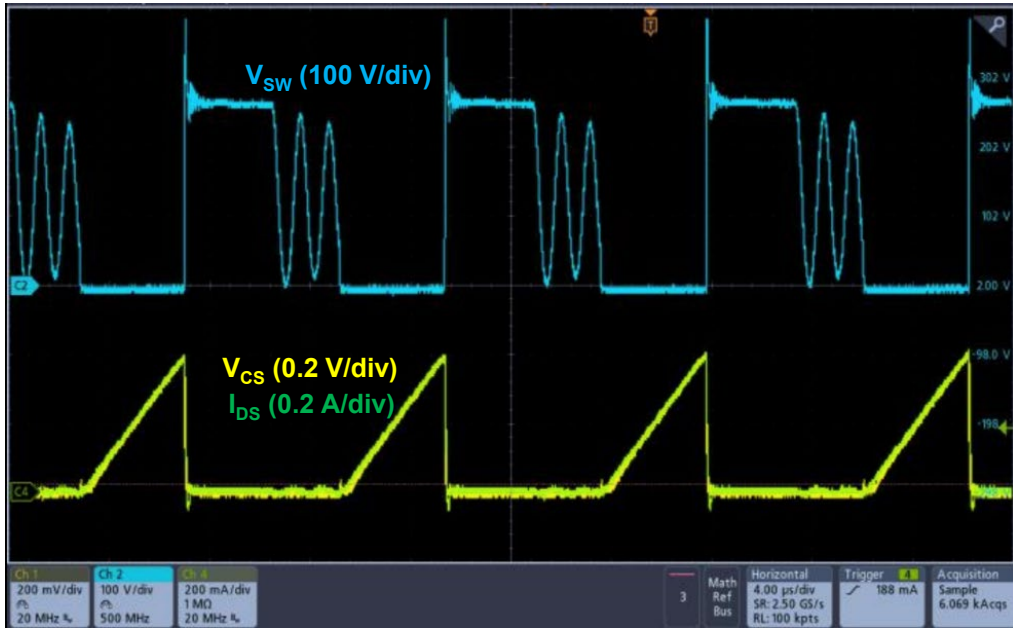


图 7a. L无损电流检测波形
(65W 高频QR, 115 V_{AC} / 20 V / 3.25 A, 192 kHz)

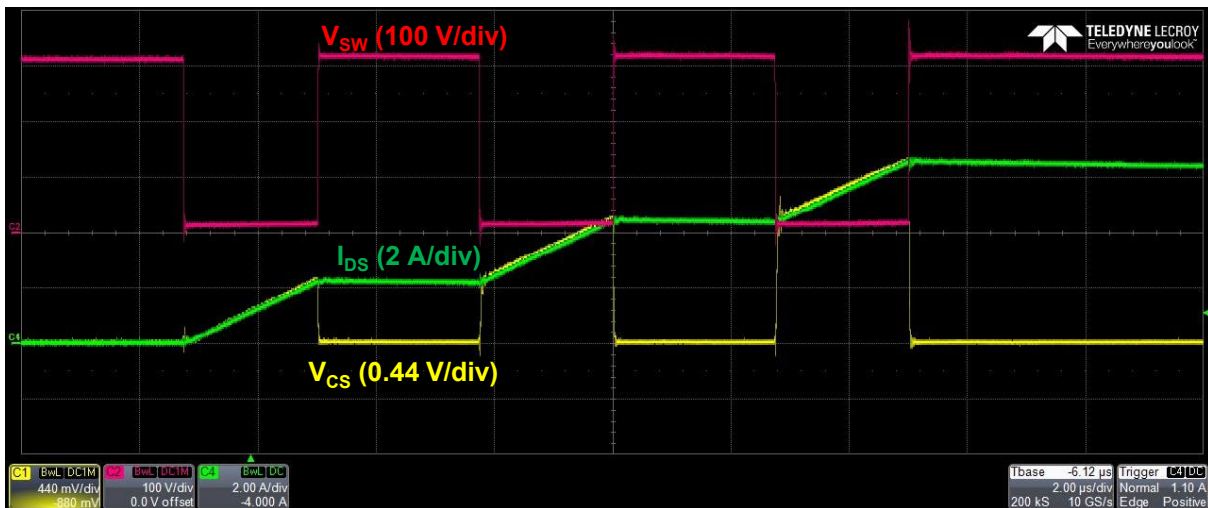


图 7b. 无损电流检测波形
(Boost CCM, 200 kHz)

无损电流检测 (续)

图8为采用GaN Sense技术的NV6136A和NV6134A与采用外部检测电阻的NV6125之间的对比。NV6136A (图8a 170mΩ) 由于具有更低的 $R_{ON(TOT)}$ ，因此在输入低输入电压加满载条件下效率高出了0.5%，并没有了 R_{CS} 这个热点以及氮化镓芯片温度降低了12度。NV6134A (图8b, 260 mΩ) 也有类似的效率提升和氮化镓芯片温度下降。若在实际应用中并不要求更高的效率，NV6134A则提供了更高的 $R_{DS(ON)}$ / 更低的成本这两个选择。

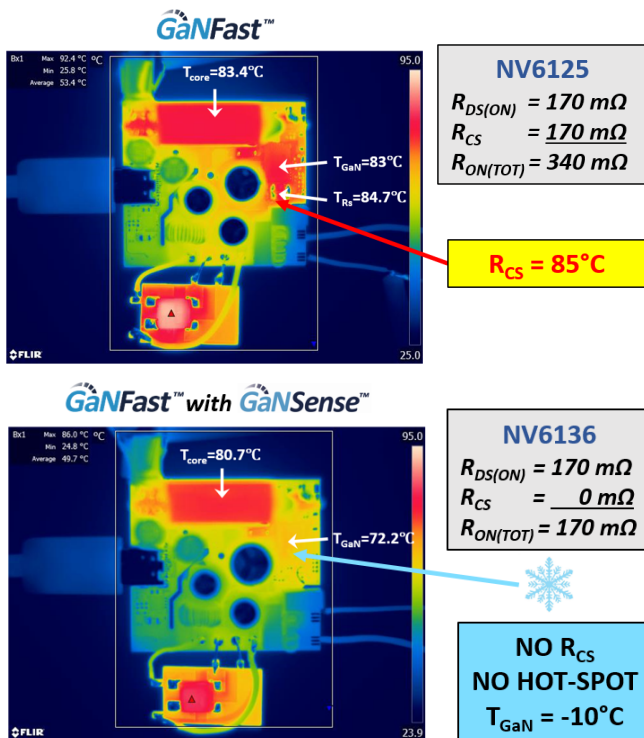
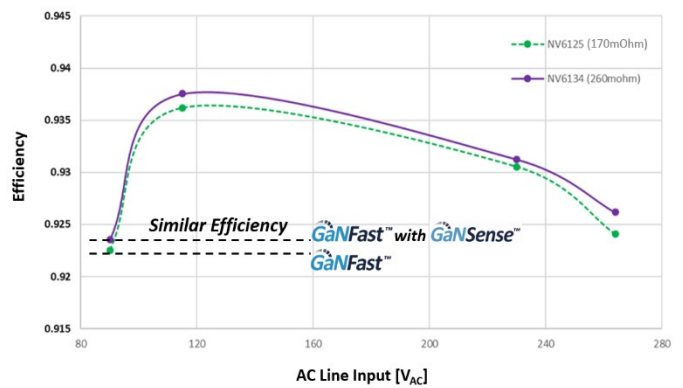
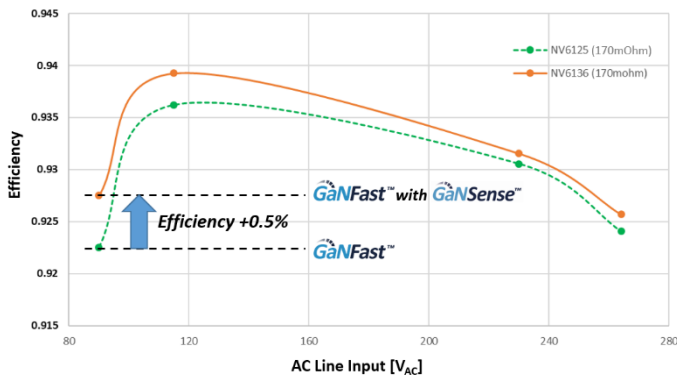


图8a. 无损电流检测
(NV6136A, 170 mΩ, 更高效的选择)

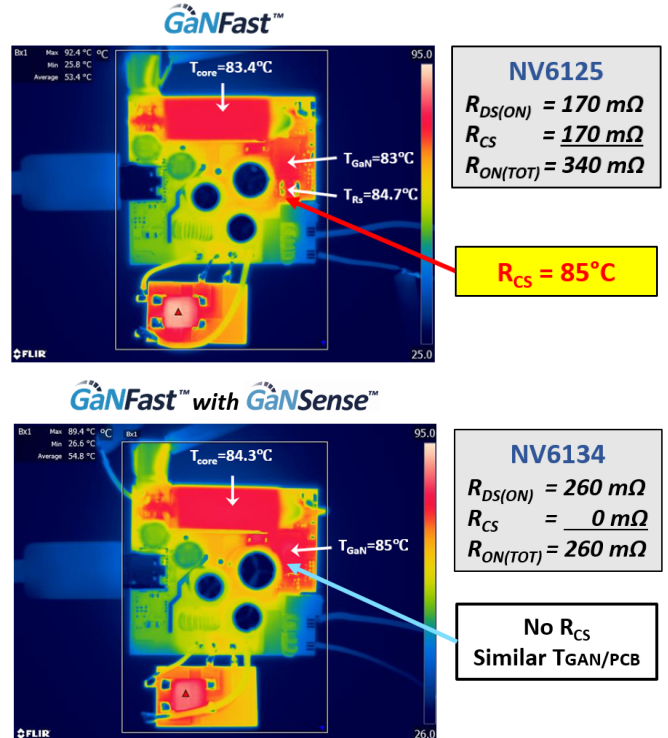


图8b. 无损电流检测
(NV6134A, 260 mΩ, 效率类似/略高R_{DS(ON)})

过流保护 (OCP)

该氮化镓芯片带有逐周期过流检测和保护电路以保证大电流下氮化镓芯片的安全。在每个开关周期的导通期间，若峰值电流超过内部OCP设置阈值（典型值为1.9V），内部门机驱动电路会迅速将氮化镓器件关断，缩短导通时间，防止芯片受到损坏。在下一个PMW周期的开通时间之初（如图8），氮化镓芯片会重新再开通。这使得氮化镓芯片能够在快速上升的尖峰电流情况下实现每周自保护，大大提高了系统的可靠性和鲁棒性。使用公式2可以计算出实际的峰值电流阈值，为内部电流检测比率和外部电阻 R_{SET} 有关。内部OCP电压阈值（典型值1.9V）比很多市面上流行的QR 非对称半桥和PFM控制器的OCP电压阈值要高很多，这就能够保证这款氮化镓芯片能够和现有的控制器保持很好的兼容性，不会出现OCP保护阈值电压的冲突。图9为实测OCP波形，可以看到在感性开关时峰值电流被逐周期限制。

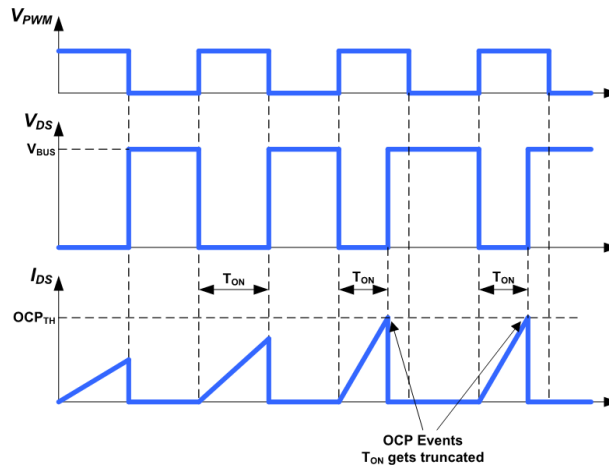


图8. OCP timing diagram

$$I_{OCP} = \frac{[1.9 \text{ V} \times 3520]}{R_{SET}}$$

公式 2. OCP current threshold equation (NV6136A)

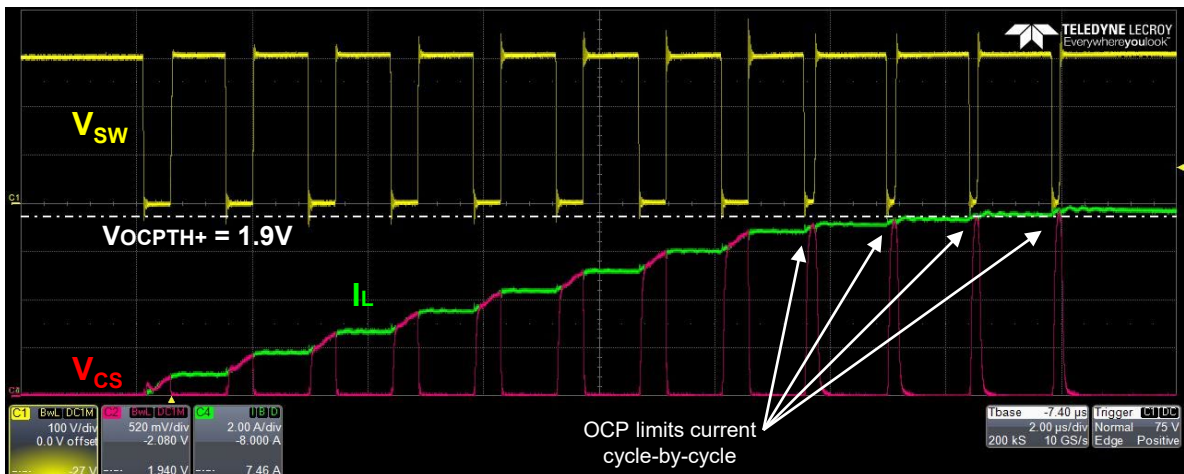


图9. Boost CCM条件下逐周期限流

过温保护 (OTP)

该氮化镓芯片还具有过温保护电流以防止芯片的结温过高 (T_J)。结温过高可能是由于过载、环温太高、以及/或着热设计不够好。 T_J 超过超过内部 T_{OTP+} 设定阈值 (典型值为165度), 芯片就会安全的锁定。当 T_J 再次下降到内部 T_{OTP-} 设定阈值以下, OTP锁定会被重置, 然后内部的OTP锁定能保证维持正确的状态, 即当OTP触发时 V_{CC} 高于5V, 氮化镓芯片就会锁定且由于辅助绕组电源损耗, 系统 V_{CC} 供电电压会下降到控制器UV-阈值以下, 控制器高压启动电路会开通, V_{CC} 再次升高至UV+阈值以上 (如图10), 控制器会开通, 重新输送PWM脉冲。

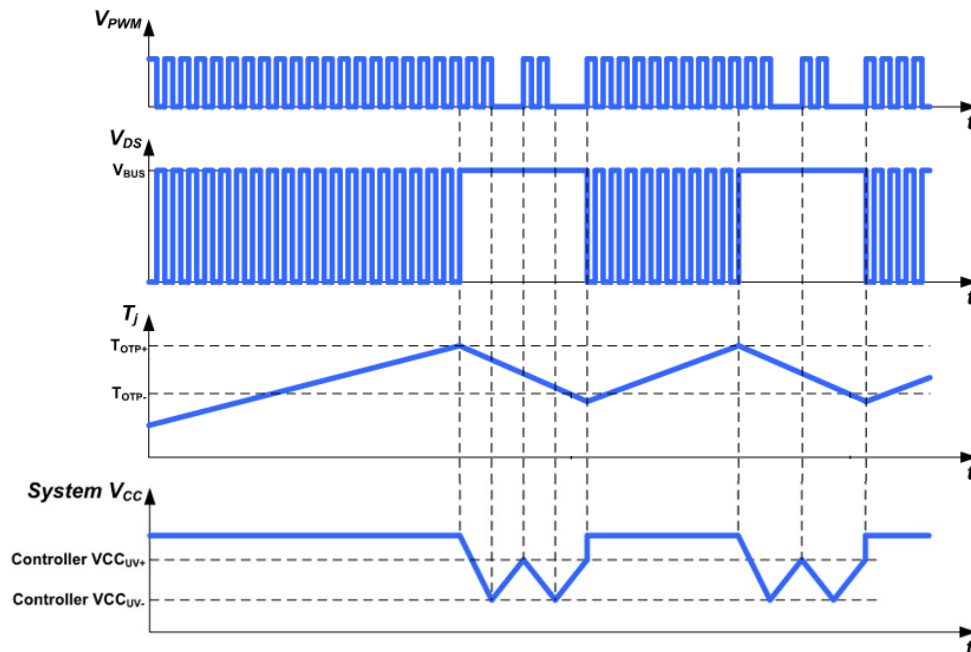


Fig 10. 过温保护OTP 时序图

可调节的开通dV/dt控制

在启动的第一波脉冲或者硬开关条件下，需要限制氮化镓芯片漏极的dV/dt的开通斜率。这样可以降低EMI和抑制开关噪声。为了调节开通dV/dt斜率，要在 V_{DD} 脚（pin30）和 R_{DD} 脚（pin29）之间加一个 R_{DD} 电阻（如图2）。这个 R_{DD} 电阻决定内部门级驱动的开通电流，从而也决定了氮化镓芯片开通下降沿dV//dt速率（图11）。图12显示了不同 R_{DD} 阻值下的 V_{DS} 波形

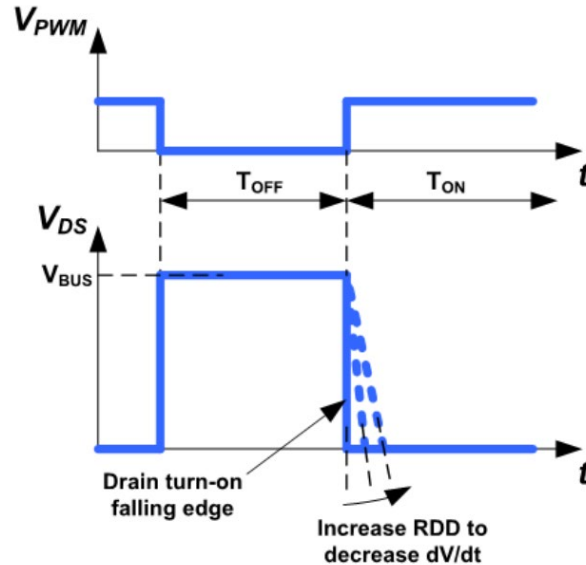


图11. 开通dV/dt斜率控制时序图

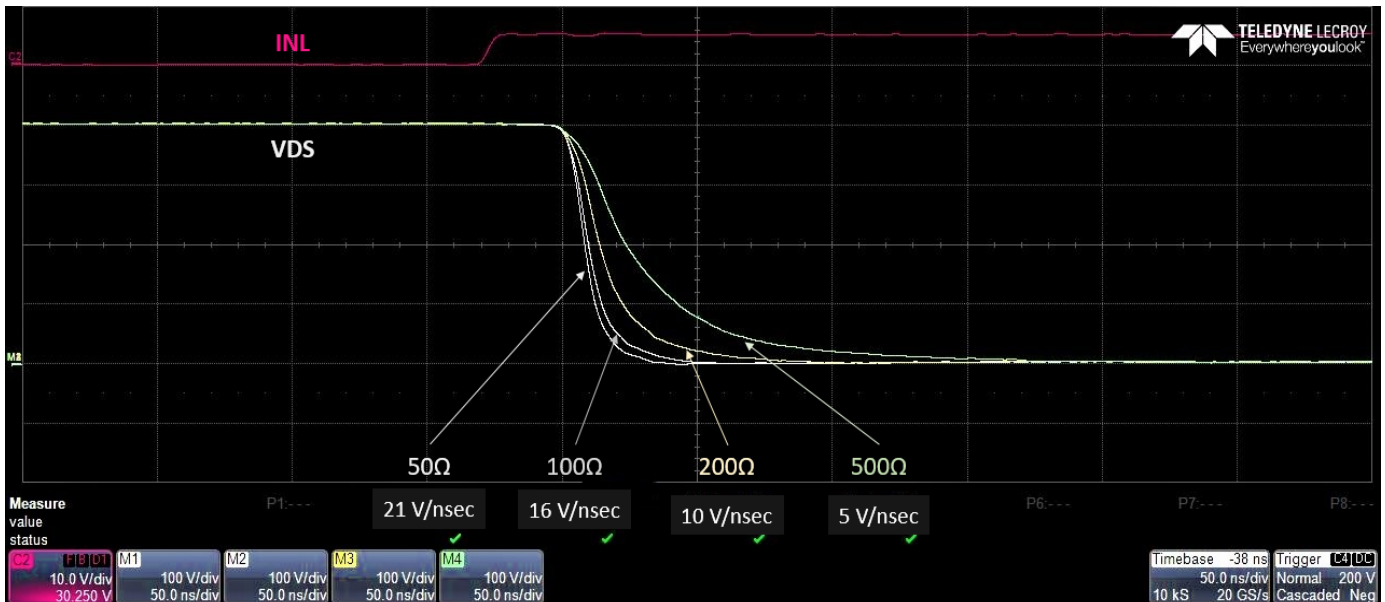


图12. 不同 R_{DD} 阻值下的 V_{DS} 开通斜率 (dV/dt) 波形 (NV6136A, 90%-10%)

自动低功耗待机模式

该芯片可以关闭芯片和降低VCC的电流消耗，带有自动低功耗待机模式。在正常的工作模式下，PWM脚出PWM信号使氮化镓正常开关。若PWM脚的输入脉冲停止并保持低于 $V_{P\overline{W}ML}$ 关断阈值（典型值为1.1V）超过内部定时器设置的待机延时时间（典型值 t_{TO_STBY} , 90 us, typical），则氮化镓芯片会自动进入低功耗待机模式（如图13）。这样门级驱动和其他内部电路就会关闭，VCC供电电流会减小到一个很小的数值（典型值275uA）。当PWM重新给脉冲信号，氮化镓芯片会在PWM输入的第一个上升沿被唤醒，进入正常工作模式。为了使能自动待机模式，第六脚（STBY）应该接到 S_{GND} pin4以置低。STBY（pin6）需要接到5V（pin5）以置高来关闭自动待机模式

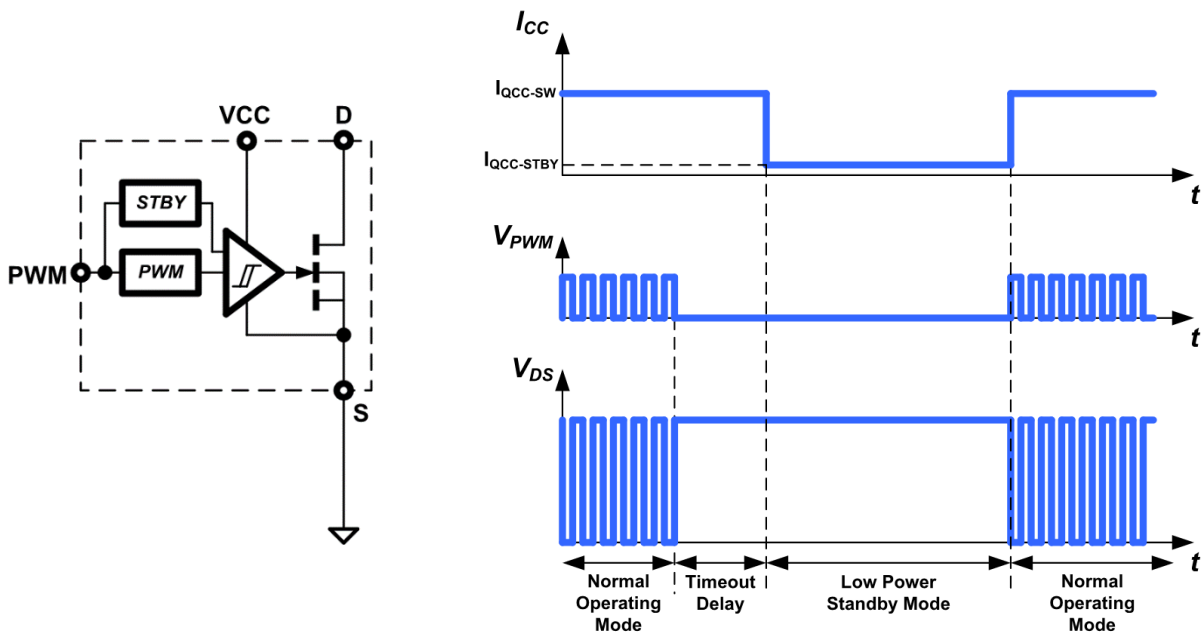
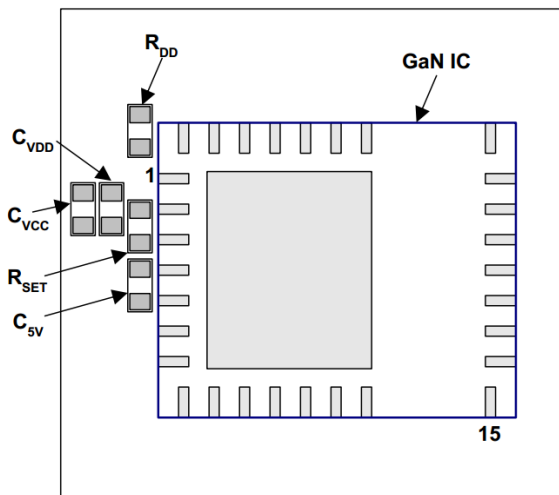


图13. 自动低功耗待机模式简化时序图

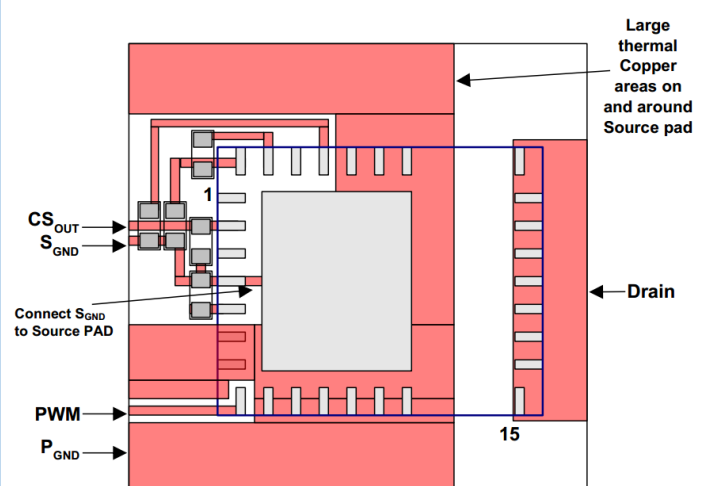
PCB layout PCB Layout 指导建议 (QFN 6x8)

为了得到最好的电气和热性能，以下6点PCB layout指导建议（以及图14的4个步骤）必须遵从：

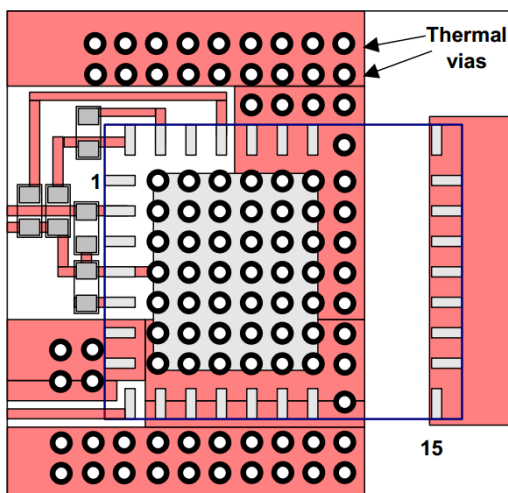
- 1) 将周边相关的元器件摆放位置尽可能离氮化镓芯片近。 R_{SET} 电阻直接放在CS脚旁边以最大程度降低高频开关噪声。
- 2) 将元器件的地都连到 S_{GND} pin4 以最大程度降低高频开关噪声。 S_{GND} pin4 直接连到氮化镓芯片底部的源极散热面。
- 3) 所有的连线都在同意层板上，不打过孔。这样可以使其他层的散热铺铜的面积更大
- 4) 在底部源极散热面上铺更大面积的铜。
- 5) 在源极焊盘和源极铺铜面上放较多的散热孔
- 6) 在其他层上放尽可能大的铺铜面积（底层，顶层，mid1，mid2）



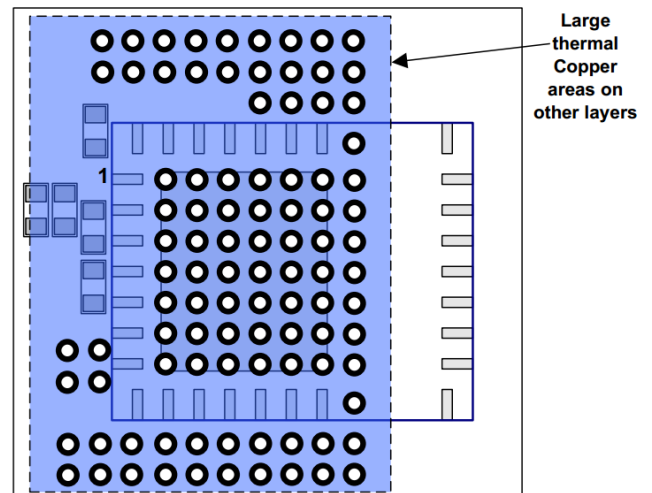
(a) Place GaN IC and SMD components on top layer



(b) Route Drain pins, Source pins, Source PAD, SMD components, and place large copper areas on top layer



(c) Place thermal vias inside cooling pad and sides



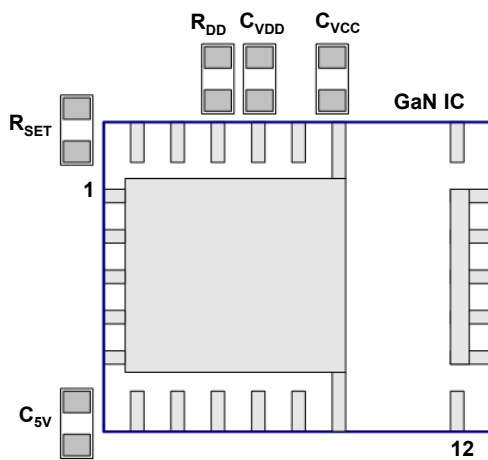
(d) Place large copper areas on bottom and mid layers

图14. PCB layout steps

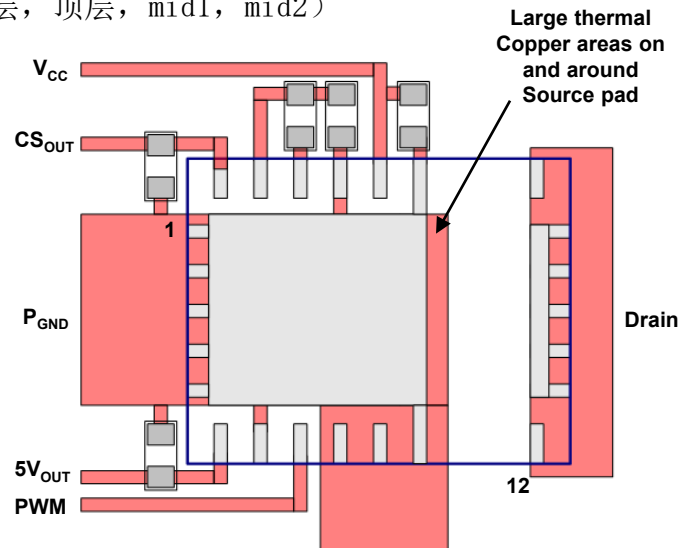
PCB layout PCB Layout 指导建议 (QFN 5x6)

为了得到最好的电气和热性能，以下6点PCB layout指导建议（以及图15的4个步骤）必须遵从：

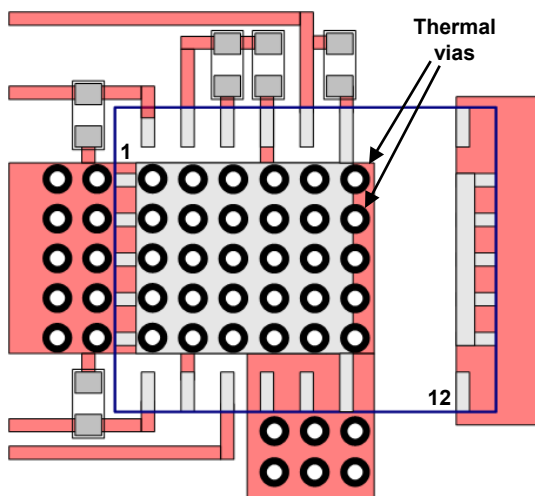
- 1) 将周边相关的元器件摆放位置尽可能离氮化镓芯片近。 R_{SET} 电阻直接放在CS脚旁边以最大程度降低高频开关噪声。
- 2) 将元器件的地都连到 S_{GND} pin4以最大程度降低高频开关噪声。 S_{GND} pin4直接连到氮化镓芯片底部的源极散热面。
- 3) 所有的连线都在同意层板上，不打过孔。这样可以使其他层的散热铺铜的面积更大
- 4) 在底部源极散热面上铺更大面积的铜。
- 5) 在源极焊盘和源极铺铜面上放较多的散热孔
- 6) 在其他层上放尽可能大的铺铜面积（底层，顶层，mid1, mid2）



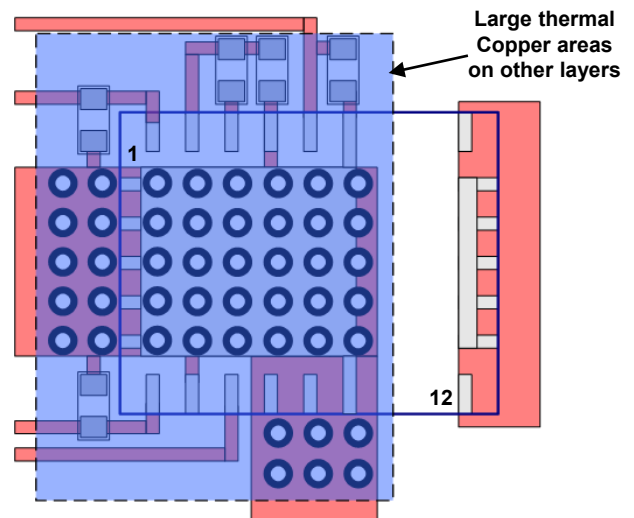
Step 1. Place GaN IC and components on PCB. Place components as close as possible to IC!



Step 2. Route all connections on single layer. Make large copper areas on and around Source pad!



Step 3. Place many thermal vias inside source pad and inside source copper areas.
(dia=0.65mm, hole=0.33mm, pitch=0.925mm, via wall=1mil)



Step 4. Place large copper areas on other layers. Make all thermal copper areas as large as possible!

图15. PCB layout steps

PCB Layout 范例

图16的范例是 QFN 6*8 封装正确的PCB布板实际例子。所有的器件都摆放在顶层，这样其他层就可以用来铺更多的铜和打散热孔。如果用4层板，就可以有更多额外的铺铜面积

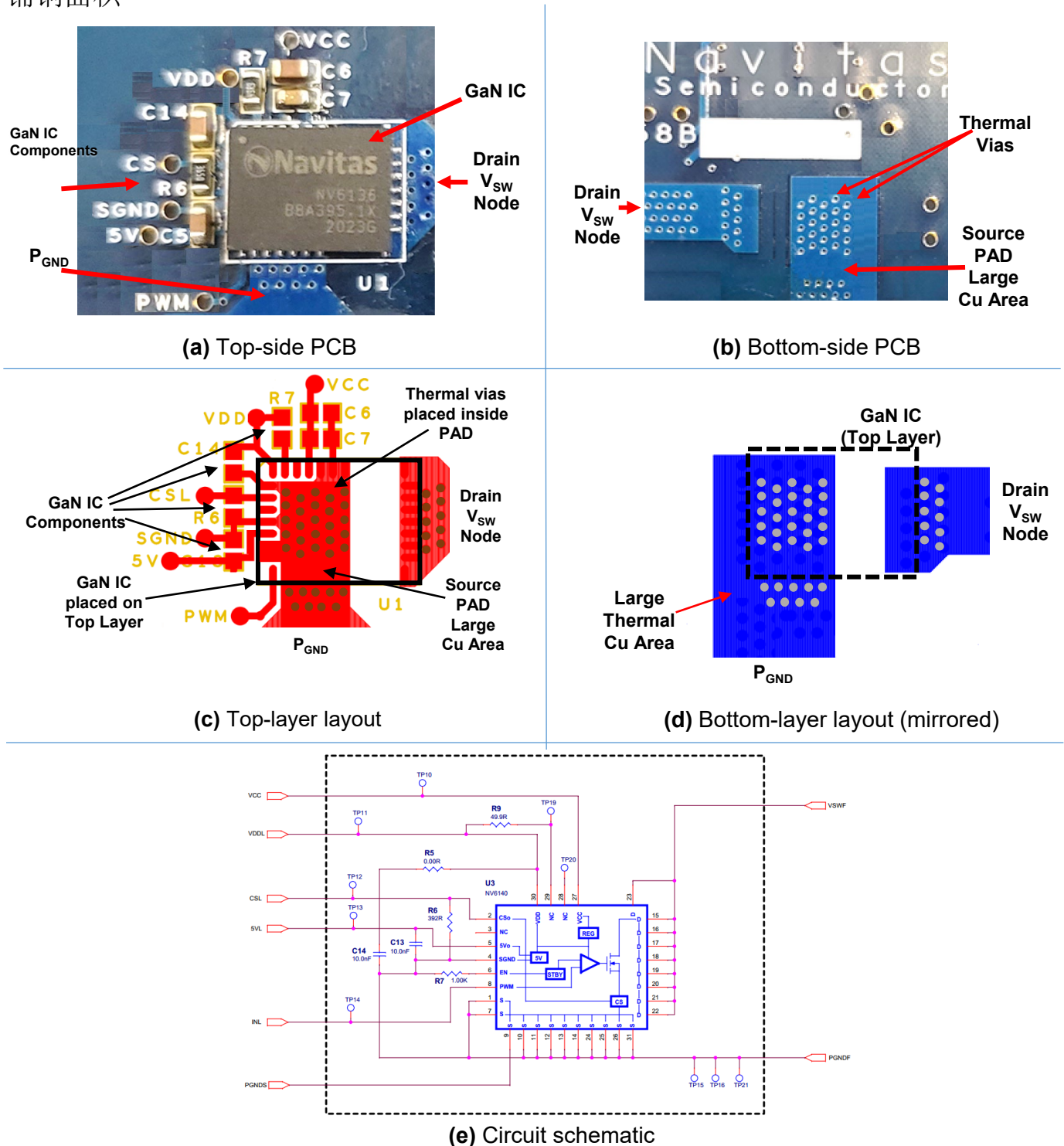


图16. PCB and layout example for GaN IC.

(a) Top-side PCB, (b) Bottom-side PCB, (c) Top layout, (d) Bottom/Mid layout, (e) Circuit schematic

热管理

图17的热模型是一种典型的应用，热从氮化镓芯片传到QFN6*8封装的顶部穿过导热材料（TIM），同时热也会从PCB横向传给两边（并通过导热材料TIM向上）。然后通过导热介质将热量传给麦拉片，然后到达铜片。为了表征一个满载工作的65W充电器内部实际的热状况，铜片的温度维持在85度，氮化镓的功耗 P_{LOSS} 设定在0.6W。放在PCB底部的麦拉片温度设定在85度，我们模拟得出可能在PCB底部发热器件（如XFMR）。从图18的热仿真数据来看，氮化镓芯片的结温 T_J 接近104度。对于在最恶劣的输入/负载/环温条件下工作的氮化镓芯片来说，这个结果是合理的。氮化镓芯片温升的进一步改善，可以用更高导热系数的导热介质（TIM）和使用更薄的麦拉片的方法来实现（若实际的安规条件允许）

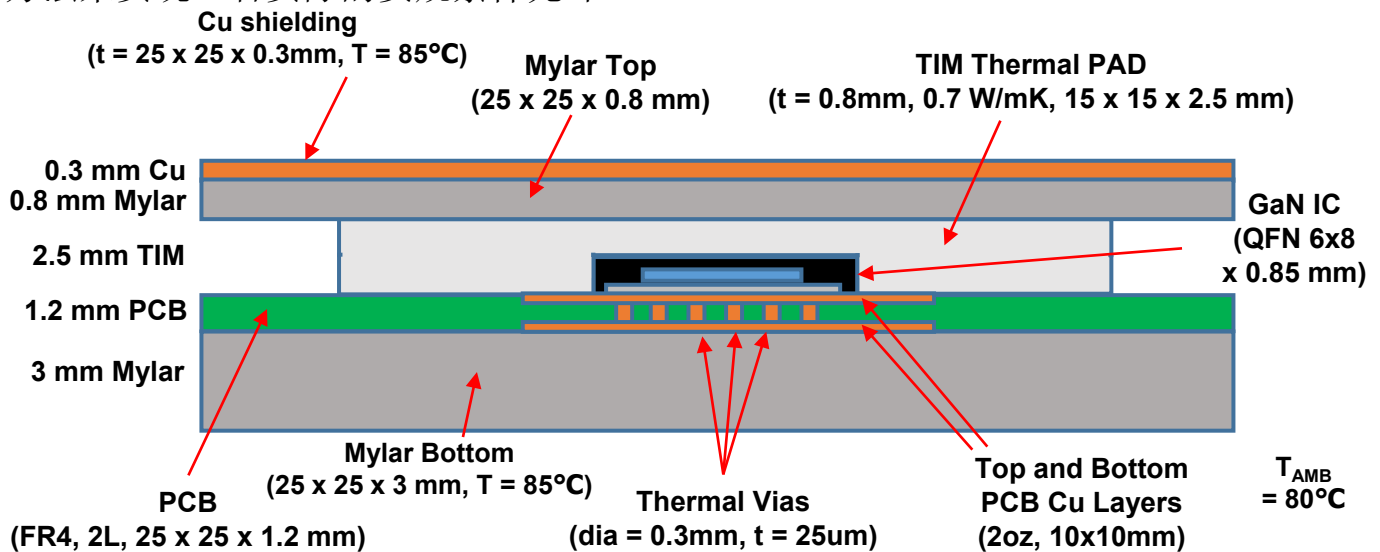


图17. 横向和纵向散热通道的热模型

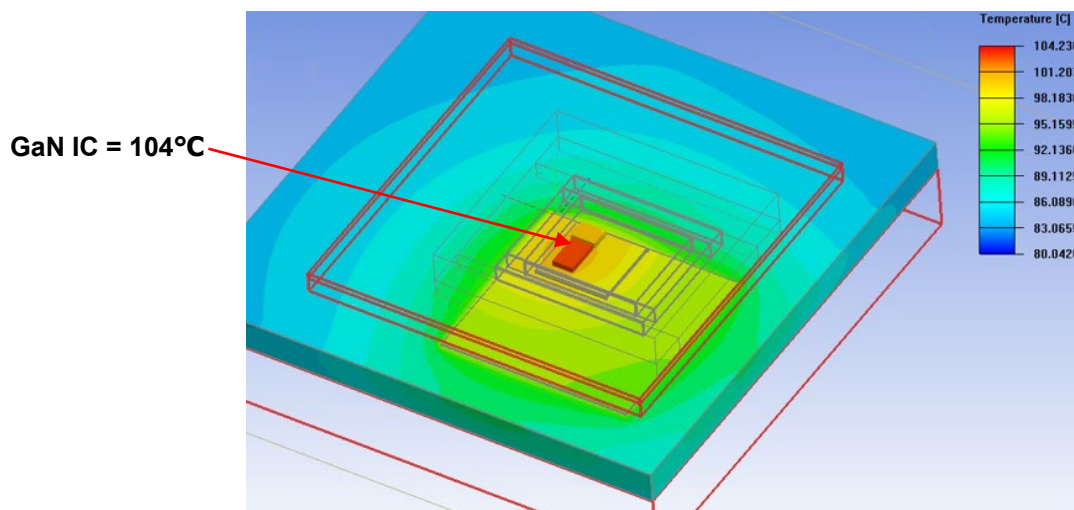
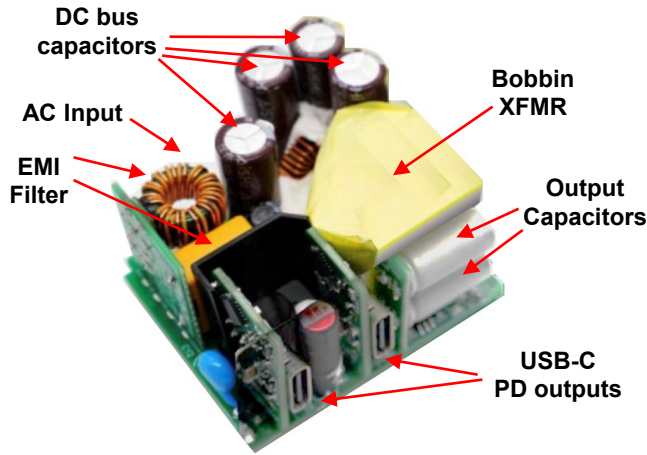


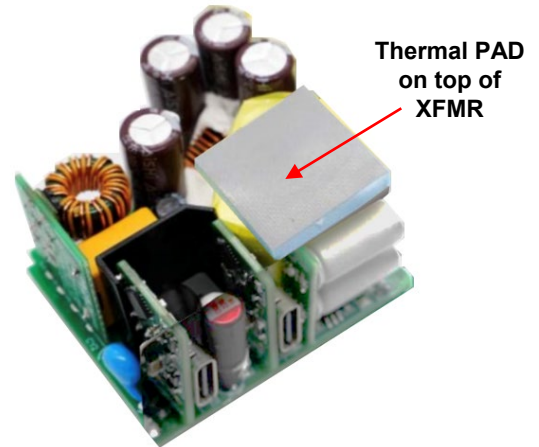
Fig 18. Thermal simulation for lateral and up heat conduction model.
 $(P_{LOSS_GaN} = 0.6 \text{ W}, T_{AMB} = 80^\circ\text{C})$

高功率密度 65W-2C 快充样机 (65CC)

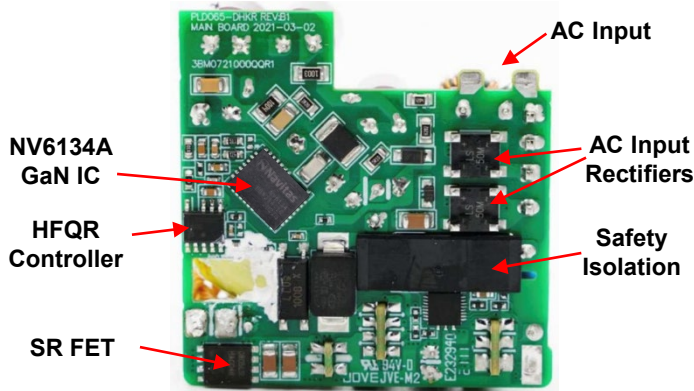
以下样机 (图19) 展现了一个典型的65瓦高频QR Type C PD充电器的样机。此多子板设计将导热垫片放在了功率器件的顶上, 并进行安全绝缘, 铝屏蔽以增强散热和优化。



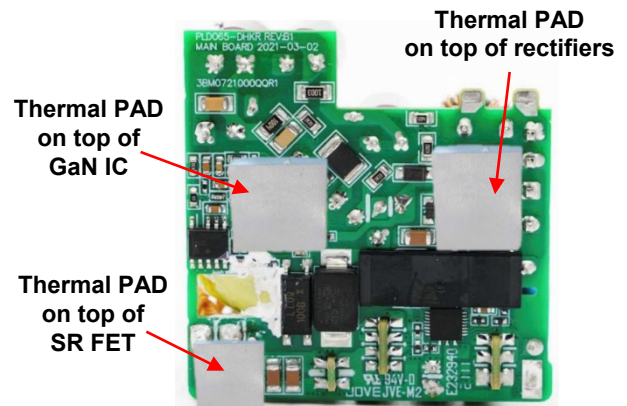
(a) 65 W charger top-side PCBA



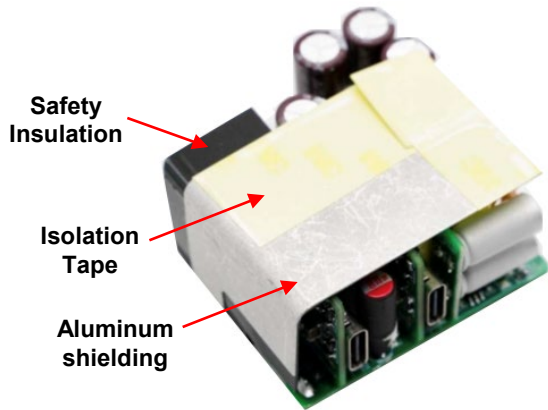
(b) Place thermal PAD on top of XFMR



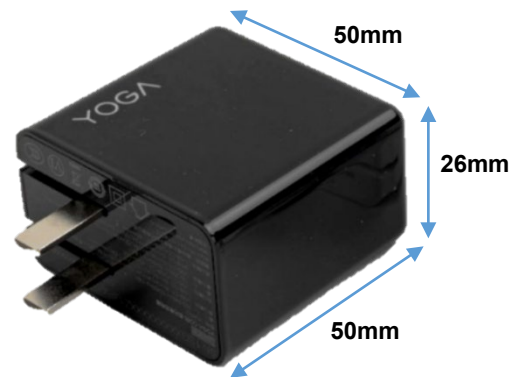
(c) 65 W charger bottom-side PCBA



(d) Place thermal PAD on top of GaN IC & rectifiers



(e) Add safety insulation & Aluminum shield with isolating tape



(f) Add foldable AC plug and plastic case (65 cc)

图 19. 65 W 2C USB-C PD charger construction details

参考文章 (www.navitassemi.com)

- 1) GaNFast NV6123, NV6125, NV6127 datasheets, Navitas Semiconductor, 2019
- 2) Thermal Management of GaNFast Power ICs, AN010, Navitas Semiconductor, 2019
- 3) GaNFast NV613x/NV615x Power ICs with GaNSense Technology datasheets, Navitas Semiconductor, 2021

Additional Information

DISCLAIMER Navitas Semiconductor (Navitas) reserves the right to modify the products and/or specifications described herein at any time and at Navitas' sole discretion. All information in this document, including descriptions of product features and performance, is subject to change without notice. Performance specifications and the operating parameters of the described products are determined in the independent state and are not guaranteed to perform the same way when installed in customer products. The information contained herein is provided without representation or warranty of any kind, whether express or implied. This document is presented only as a guide and does not convey any license under intellectual property rights of Navitas or any third parties. Navitas' products are not intended for use in applications involving extreme environmental conditions or in life support systems. [Terms and Conditions](#).

Navitas Semiconductor, Navitas, GaNFast, GaNSense and associated logos are registered trademarks of Navitas.
Copyright ©2021 Navitas Semiconductor. All rights reserved
Contact: info@navitassemi.com

